

日本国特許庁  
JAPAN PATENT OFFICE

#3  
J1046 U.S. PTO  
10/082101  
02/26/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月 1日

出願番号

Application Number:

特願2001-057422

ST.10/C ]:

[JP2001-057422]

出願人

Applicant(s):

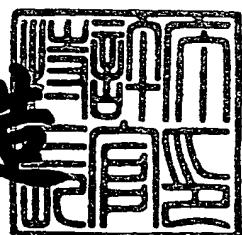
株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 1月 29日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願  
【整理番号】 P005567  
【提出日】 平成13年 3月 1日  
【あて先】 特許庁長官 殿  
【発明者】  
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内  
【氏名】 木村 肇  
【特許出願人】  
【識別番号】 000153878  
【氏名又は名称】 株式会社半導体エネルギー研究所  
【代表者】 山崎 舜平  
【手数料の表示】  
【予納台帳番号】 002543  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【ブルーフの要否】 要

【書類名】明細書

【発明の名称】 欠陥画素特定方法及び欠陥画素特定システム、並びに画像補正方法及び画像補正システム

【特許請求の範囲】

【請求項1】

光電変換素子を含む画素を複数設けた画素部における欠陥画素の有無を特定する欠陥画素特定方法において、

前記画素ごとに前記光電変換素子により複数の画像信号を得る第1ステップと

前記第1ステップにより得る前記複数の画像信号の第一の差または第一の比率を前記画素ごとに求める第2ステップと、

前記画素部における前記第一の差または前記第一の比率の最多値、または平均値、または最大値のいずれか一つを求める第3ステップと、

前記第2ステップにより得る前記第一の差または前記第一の比率と、前記第3ステップにより得る前記最多値、または前記平均値、または前記最大値のいずれか一つとの第二の差または第二の比率を前記画素ごとに求めて前記欠陥画素を特定する第4ステップと、

を含むことを特徴とする欠陥画素特定方法。

【請求項2】

請求項1に記載された欠陥画素特定方法において、

前記第1ステップにおいて、前記画素部がそれぞれ異なる色の少なくとも2枚のキャリブレーションシートの読み取ることを特徴とする欠陥画素特定方法。

【請求項3】

請求項1に記載された欠陥画素特定方法において、

前記第1ステップにおいて、前記画素部が黒色のキャリブレーションシートと、白色のキャリブレーションシートを読み取ることを特徴とする欠陥画素特定方法。

【請求項4】

請求項1に記載された欠陥画素特定方法において、

前記第1ステップにおいて、蓄積時間（T）及び前記光電変換素子の容量（C）並びにリセット信号を印可した際の前記光電変換素子に加わる電圧（V<sub>P</sub>）及び前記光電変換素子に流れる暗電流（I<sub>d</sub>）が、 $T > \{ (C \times V_p) / I_d \}$ の関係を満たす状態における前記光電変換素子の信号を読み取り、かつ、前記画素部が少なくとも1枚のキャリブレーションシートの読み取ることを特徴とする欠陥画素特定方法。

【請求項5】

請求項1に記載された欠陥画素特定方法において、

前記第1ステップにおいて、前記光電変換素子の蓄積時間が0の状態における前記光電変換素子の信号の読み取り、かつ、前記画素部が少なくとも1枚のキャリブレーションシートの読み取ることを特徴とする欠陥画素特定方法。

【請求項6】

請求項1に記載された欠陥画素特定方法において、

前記第1ステップにおいて、蓄積時間（T）及び前記光電変換素子の容量（C）並びにリセット信号を印可した際の前記光電変換素子に加わる電圧（V<sub>P</sub>）及び前記光電変換素子に流れる暗電流（I<sub>d</sub>）が、 $T > \{ (C \times V_p) / I_d \}$ の関係を満たす状態における前記光電変換素子の信号を読み取り、かつ、前記光電変換素子の蓄積時間が0の状態における前記光電変換素子の信号の読み取ることを特徴とする欠陥画素特定方法。

【請求項7】

光電変換素子を含む画素を複数設けた画素部により画像を読み取る半導体装置および前記画素部が有する欠陥画素の座標が記憶されるメモリ、並びに前記光電変換素子により得られる画像信号を計算する演算手段を有する欠陥画素特定システムにおいて、

前記光電変換素子により読み取られる画像の画像信号は前記演算手段に入力される手段と、

前記演算手段において、前記画素ごとに前記光電変換素子により得られた複数の信号の第一の差または第一の比率を求め、かつ、前記第一の差または前記第一の比率の最多値、または平均値、または最大値のいずれか一つを求め、なおかつ

、前記第一の差または前記第一の比率と、前記最多値、前記平均値、前記最大値のいずれか一方との第二の差または第二の比率を求ることにより、前記欠陥画素を特定する手段と、

前記特定された欠陥画素の座標は、前記メモリに記憶される手段を有することを特徴とする欠陥画素特定システム。

【請求項8】

光電変換素子を含む画素を複数設けた画素部により読み取られる画像を補正する画像補正方法において、

前記光電変換素子により読み取られる画像信号が入力される第1ステップと、

前記欠陥画素と隣接する画素の画像信号の平均値を求める第2ステップと、

前記平均値を前記欠陥画素の画像信号とする第3ステップと、

前記光電変換素子により読み取られる画像を表示する表示装置に前記欠陥画素の画像信号を出力する第4ステップと、

を含むことを特徴とする画像補正方法。

【請求項9】

光電変換素子を含む画素を複数設けた画素部により画像を読み取る半導体装置および前記画素部が有する欠陥画素の座標が記憶されたメモリ、並びに前記欠陥画素の画像信号を補正する補正手段および前記半導体装置により読み取られた画像を表示する表示装置を有する画像補正システムにおいて、

前記光電変換素子により読み取られる画像の画像信号は前記補正手段に入力される手段と、

前記補正手段において、前記欠陥画素に隣接する画素の画像信号を用いて、前記欠陥画素の画像信号を補正する手段と、

前記表示装置に前記補正された欠陥画素の画像信号を出力する手段として機能させることを特徴とする画像補正システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサ機能を有する半導体装置の欠陥画素特定方法および

欠陥画素特定システムに関する。また、イメージセンサ機能を有する半導体装置により読み取られた画像の画像補正方法および画像補正システムに関する。

#### 【0002】

##### 【従来の技術】

近年、技術の進歩とともにさまざまなセンサが開発され、実用化されてきている。パソコンに紙面上の文字・図画情報などを取り入れるために、イメージセンサ機能が設けられた半導体装置が用いられるようになってきている。

#### 【0003】

そのような半導体装置には、デジタルスチルカメラ、スキャナ、コピー機などがある。デジタルスチルカメラは、従来の銀塩カメラに代わるものとして用いられており、画素が二次元に配列されたエリアセンサが設けられている。スキャナやコピー機などは、紙面上の文字・図画情報を読み取るための手段として用いられており、画素が一次元に配列されたラインセンサが設けられている。

#### 【0004】

スキャナは、読み取り方式によって、（1）シートフィード型、（2）フラットベッド型、（3）ペン型（ハンディ型）の3種類に大きく分類できる。（1）シートフィード型は、スキャナのイメージセンサ部を固定し、原稿を紙送りで移動させて読み取る方式である。（2）フラットベッド型は、原稿をガラスの上に固定し、ガラスの下でイメージセンサ部を移動させて読み取る方式である。（3）ペン型（ハンディ型）は、イメージセンサ部を原稿の上で使用者が移動させて読み取る方式である。

#### 【0005】

上述した3つのスキャナには、それぞれ光学系が採用される。（2）フラットベッド型のスキャナは、精密に画像を読み取るため、縮小型光学系が採用される場合が多い。縮小型光学系で用いられるレンズは、焦点距離が長いため、被写体とイメージセンサ部の距離が長くなり、半導体装置は大型化してしまう。

#### 【0006】

（1）シートフィード型や（3）ペン型（ハンディ型）では、携帯して持ち運びが出来るように、装置を小型化する必要がある。そのため、光学系は、密着型

光学系が採用される場合が多い。密着型光学系は、イメージセンサ部と被写体の間に、ロッドレンズアレイを配置して用いられる。ロッドレンズアレイは、分布屈折率型の棒状のレンズを複数束ねたものである。また、ロッドレンズアレイは、1対1で結像し、焦点距離を短くできるため、被写体とイメージセンサ部の距離を短くすることができる。

## 【0007】

スキャナは、商品として購入されると、被写体の読み取りを行う前に、使用者によりキャリブレーションを行うことが推奨されている。

## 【0008】

キャリブレーションを行う理由としては、以下の二つがある。

## 【0009】

まず一つ目の理由としては、スキャナに用いられている光源から被写体に照射される光が、均一に照射されないことがあげられる。上述したようにスキャナには、縮小型光学系やロッドレンズアレイなどのレンズが用いられている。スキャナに設けられている光源からの光は、それらのレンズを介して、被写体に照射される。そのため、場所によっては、被写体に照射される光の強度が異なる場合がある。

## 【0010】

二つ目の理由としては、イメージセンサの画素毎の特性のばらつきを補正するためである。ばらつきとは、紙面上の情報が全て同じ被写体を読み取った際に、それぞれの画素が読み出す信号値が少しであるが異なることを示す。画素毎にばらつきが存在していると、同じ強度の光が光源から被写体に照射されても、光電変換素子から出力される信号値は異なる。多くの場合において、画素毎の特性のばらつきは、時間によって変化しない。

## 【0011】

そこで、スキャナを購入した後は、被写体の読み取りを行う前に、キャリブレーションを行うことが推奨されている。実際に、販売されているスキャナには、該スキャナの有効読み取り範囲と同じ大きさのキャリブレーションシートが同封されている場合がある。キャリブレーションシートは、プラスチック製で白色の

シートである。なお、本明細書では、キャリブレーションシートとは、キャリブレーションに使用される際、半導体装置の読み取り範囲が同じ明るさであるシートを示す。好ましくは、透過性ではなく、丈夫なプラスチック製のシートなどがよい。また、穴やくぼみなどがなく、平面であるシートがよい。

## 【0012】

キャリブレーションシートを読み取った際には、それぞれの画素毎に読み取られる情報は全て同じであるべきである。しかし、実際に読み取られた情報は、上述した二つの理由により、異なる場合がある。そのため、スキヤナなどに設けられたプログラムにおいて、白色のシートを読み取った際の情報を記憶しておく。そして、実際に被写体の読み取りを行う際には、その情報に基づいて補正を行う。なお、一度キャリブレーションを行うと、その情報は保存できるため、さらにキャリブレーションを行う必要はない。

## 【0013】

また、イメージセンサ機能を有する半導体装置には、キャリブレーションを行うことが推奨されている。キャリブレーションの方法は、半導体装置によって異なっている。例えば、スキヤナでは、キャリブレーションシートを用いてキャリブレーションを行う。しかし、デジタルスチルカメラの場合は、キャリブレーション用のソフトが付属されている。デジタルスチルカメラは、レンズを介して画像を撮影するため、若干画像を歪ませてしまう場合がある。そこでキャリブレーションを行い、歪みを測定する。そして、レンズの歪みの補正值を計算して、その補正值をデジタルスチルカメラのプログラムに与えることで、その歪みの影響を最小限に減らすことができる。

## 【0014】

## 【発明が解決しようとする課題】

イメージセンサ機能を有する半導体装置には、複数の画素を有する画素部が設けられている。複数の画素には、光電変換素子と光電変換素子を制御するための一つまたは複数のトランジスタがそれぞれ設けられている。

## 【0015】

光電変換素子としては、PN型のフォトダイオードが用いられる場合が多い。

その他には、PIN型のフォトダイオード、アバランシェ型ダイオード、n p n埋め込み型ダイオード、ショットキー型ダイオード、フォトトランジスタなどがある。その他には、X線用のフォトコンダクタや赤外線用のセンサなどもある。本発明の半導体装置は、全ての光電変換素子に適用することができる。

## 【0016】

また、イメージセンサ機能を有する半導体装置は、大まかにはCCD型とCMOS型に分類される。CMOS型の半導体装置は、増幅用トランジスタを搭載していないものはパッシブ型、増幅用トランジスタを搭載しているものはアクティブ型とよばれている。増幅用トランジスタは、光電変換素子が読み取った被写体の画像信号を増幅したりする機能を有する。

## 【0017】

アクティブ型の半導体装置は、上述した増幅用トランジスタの他にセンサ選択用トランジスタなどが設けられており、一画素に設けられている素子が多くなってしまう。一画素に設けられる素子が多くなる程、半導体装置を形成する際の歩留まりが低くなる。

## 【0018】

その結果、欠陥画素の全くない半導体装置を形成することが非常に困難となり、半導体装置を形成する際に、画素に設けられている光電変換素子、または該光電変換素子を制御するための複数のトランジスタのいずれか一つが正常に形成されない場合がある。このような画素は、正常に動作できないために、被写体の画像を正しく読み取ることができない。本明細書ではこのような画素を欠陥画素とよぶ。欠陥画素を有する半導体装置は、読み取った被写体の画像を表示する際に、欠陥画素の存在する部分が、白色の点か黒色の点として表示されてしまう場合が多い。そのため、欠陥画素の部分の映像が目立ち、読み取られた被写体の映像が正確に表示されない。

## 【0019】

本発明は、上記の問題を鑑みてなされたものであり、欠陥画素を有する半導体装置において、読み取られた画像を表示する際に、欠陥画素の欠陥を目立たなくさせる画像補正方法を提供するものである。

## 【0020】

## 【課題を解決するための手段】

図1を参照する。図1(A)は、一例として、光電変換素子を含む画素を設けた半導体装置によって読み出された均一な中間調の被写体の画像を、任意の表示装置207の表示部206により表示したものである。図1(B)は、図1(A)の四角形で囲まれた部分を、拡大した図である。また、図1(B)は、画素(m, n)、画素(m±1, n)、画素(m±1, n±1)、画素(m, n±1)を示しており、画素を示す四角形の中の数字は画像信号を示している。図1(B)に示すように、画素(m, n)と隣接する画素の画像信号は全て200であるのに対し、画素(m, n)の画像信号は55である。よって、画素(m, n)は、欠陥画素101であり、被写体の情報を正確に読み出している。

## 【0021】

そこで、本発明の欠陥画素特定方法および画像補正方法を用いる。本発明の欠陥画素特定方法は、前記画素ごとに前記光電変換素子により複数の画像信号を得る第1ステップと、

前記第1ステップにより得る前記複数の画像信号の第一の差または第一の比率を前記画素ごとに求める第2ステップと、

前記画素部における前記第一の差または前記第一の比率の最多値、または平均値、または最大値のいずれか一つを求める第3ステップと、

前記第2ステップにより得る前記第一の差または前記第一の比率と、前記第3ステップにより得る前記最大値、または前記平均値、または前記最大値のいずれか一つとの第二の差または第二の比率を前記画素ごとに求めて前記欠陥画素を特定する第4ステップとを含むことを特徴とする欠陥画素特定方法である。

また、本発明の画像補正方法は、前記光電変換素子により読み取られる画像信号が入力される第1ステップと、

前記欠陥画素と隣接する画素の画像信号の平均値を求める第2ステップと、前記平均値を前記欠陥画素の画像信号とする第3ステップと、

前記光電変換素子により読み取られる画像を表示する表示装置に前記欠陥画素の画像信号を出力する第4ステップと、を含むことを特徴としている。

## 【0022】

図1 (C) は、本発明の欠陥画素特定システムおよび画像補正システムを有する半導体装置によって読み出された被写体の画像を示す。図1 (D) に示すように、画素 (m, n) の画像信号は、欠陥画素と隣接する画素の画像信号から生成され、55から200に修復されている。その結果、図1 (A) と比較すると、欠陥画素 101 が目立たなくなっている。

## 【0023】

本発明を用いることによって、欠陥画素を有する半導体装置において、欠陥画素を目立たなくすることができる。また見かけ上、欠陥画素が修復されたように見せることができる。

## 【0024】

なお、本発明はイメージセンサ機能を有する全ての半導体装置に有効である。例えば、CCD型やCMOS型のイメージセンサ機能を有する半導体装置にも本発明は有効であるし、その他のすべてのイメージセンサ機能を有する半導体装置に本発明は有効である。また、ラインセンサおよびエリアセンサにも本発明は有効である。また、本発明を用いる半導体装置は、モノクロの画像を読み取る半導体装置でも、カラーの画像を読み取る半導体装置でもよい。また、単結晶 (SOI やバルク) 基板上に形成された場合や薄膜トランジスタを有する半導体装置にも有効である。

## 【0025】

スキャナなどの読み取り機能のみを有する半導体装置の場合は、任意の表示装置に画像を表示する際に、本発明を用いると、欠陥画素が修復されたように見せることが可能である。また、読み取り機能を有する光電変換素子と、該光電変換素子により読み取られた画像を表示する表示素子を一画素とするような半導体装置にも有効である。このような半導体装置の場合は、読み取られた被写体の情報が、表示素子により表示する際に、本発明を用いると、欠陥画素が修復されたように見せることが可能である。

## 【0026】

## 【発明の実施の形態】

## (実施の形態1)

ここで、本発明における欠陥画素特定方法において欠陥画素の有無を特定する手段と、前記欠陥画素の座標を特定する手段を図2のフローチャートを用いて説明する。

## 【0027】

まず、半導体装置の画素部において、欠陥画素の有無を異なる色の少なくとも2枚のキャリブレーションシートを画素部が読み取ることにより特定する。ここで、本明細書で用いる色とは、一般に色相（単色光の波長に相当）、彩度（あざやかさ即ち白みを帯びていない度合）および明度（明るさ即ち光の強弱）の三要素によって規定されたものである。また、本明細書で用いる色とは、上述の三要素のうちのいずれか一つの要素のみ、または任意で選んだ2つの要素のみを示してもよい。本実施の形態では、ステップ1として、白色のキャリブレーションシートを読み取る。また、ステップ2として、黒色のキャリブレーションシートを読み取る。ステップ3として、ステップ1とステップ2から得られた画像信号の値の差を求める。

## 【0028】

なお、図2において、説明をわかりやすくするために、ステップ1～ステップ3において、縦5×横5の画素部103を示す。画素102を表す四角形の中の数字は画像信号を示している。また、画素部103の周囲に示す数字は画素102の座標を示している。図2(A)は、白色のキャリブレーションシートを読み取った際の、それぞれの画素の画像信号を示している。また、図2(B)は、黒色のキャリブレーションシートを読み取った際のそれぞれの画素の画像信号を示している。ここで、ステップ1から得られた画像信号の値をS1(m, n)とする。(m, n)は座標を示しており、例えば、S1(1, 1)は245である。また、ステップ2から得られた画像信号の値をS2(m, n)とする。例えば、S2(1, 1)は50である。なお、本実施の形態においては、m, nはともに整数であり、 $1 \leq m \leq 5$ 、 $1 \leq n \leq 5$ であるとする。

## 【0029】

また、本実施の形態では、ステップ1とステップ2に白色のキャリブレーショ

ンシートと黒色のキャリブレーションシートが用いられている。その理由は、ステップ1から得られる画像信号の値とステップ2から得られる画像信号の値との差から欠陥画素の有無を特定するため、得られる差が大きい方が好ましいからである。しかし、本発明では、ステップ1とステップ2の2回のキャリブレーションにより得られる同一画素での画像信号の値に差が生ずるならば、白色のキャリブレーションシートと黒色のキャリブレーションシートに限定されず、どのような色のキャリブレーションシートを行ってもよい。

## 【0030】

また、本実施の形態では2枚のキャリブレーションシートを読み取ることにより欠陥画素の有無を特定したが、本発明では、異なる色の少なくとも2枚のキャリブレーションシートを読み取ることにより欠陥画素の有無を特定すればよいため、枚数は2枚に限定されない。但し、2枚以上のキャリブレーションシートを読み取る場合は、複数枚のうちの任意の2枚のキャリブレーションシートを読み取ることにより得られた画像信号の差を複数個求めるようにするとよい。そして、得られた差の値により、欠陥画素を特定するとよい。

## 【0031】

次に、ステップ3として、それぞれの画素のステップ1により得られた画像信号の値と、それぞれの画素のステップ2により得られた画像信号の値との差を求める。図2 (C) の画素102を表す四角形の中の数字は、その差を示している。ここで、ステップ1とステップ2により得られた差の値をS3 (m, n) とする。例えば、S3 (1, 1) は、195である。

## 【0032】

次にステップ4として、それぞれの画素の画像信号の差の平均値を求める。はじめに、画素部103の画素のS3 (m, n) の値の和を求め、求めた和を画素数(本実施の形態では25)で割る。ここで、ステップ4で求められる平均値はS4 (Ave) とする。図2に示す画素部103の場合は、S4 (Ave) は193.8となる。

## 【0033】

そしてステップ5では、ステップ4で得られたS4 (Ave) の値193.8

とそれぞれの画素の値  $S_3 (m, n)$  を比べる。以下の（式1）で表されるように、それぞれの画素の値  $S_3 (m, n)$  が、  $S_4 (Ave)$  の値 193.8 と比べて、80%～120%以内の場合は欠陥のない画素とする。また、以下の（式2）と（式3）で表されるように、画素 102 の差の値が、平均値 193.8 に比べて 80% 以下または 120% 以上の場合は欠陥画素とする。

【0034】

【式1】  $0.8 < \{S_3 (m, n)\} / \{S_4 (Ave)\} < 1.2$

【0035】

【式2】  $0.8 > \{S_3 (m, n)\} / \{S_4 (Ave)\}$

【0036】

【式3】  $1.2 < \{S_3 (m, n)\} / \{S_4 (Ave)\}$

【0037】

そうすると、図2 (A)～図2 (C) で示す画素部 103 の場合は、画素 (2, 3) は欠陥画素と特定される。そこで、同時に欠陥画素座標メモリに、欠陥画素の座標 (2, 3) が記憶される。

【0038】

なお、本実施の形態では、ステップ3において、ステップ1とステップ2より得られたそれぞれの画素の画像信号の値の差を求めたが、本発明はこれに限定されない。例えば、ステップ1とステップ2より得られたそれぞれの画素の画像信号の値の和を求めてよいし、それぞれの画素の画像信号の比率、またはそれぞれの画像信号の積を求めてよい。

【0039】

また、ステップ4において、平均値を計算したが、本発明はこれに限定されず、ステップ4では最大値を求めてよいし、ヒストグラム上で最多値を求めてよい。また、  $S_4 (Ave)$  の値を、使用者が自分で入力してもよい。

【0040】

なお、本実施の形態では、ステップ5において、それぞれの画素の値  $S_3 (m, n)$  が、  $S_4 (Ave)$  の値に比べて 80%～120% 以内の画素は欠陥のない画素をしたが、本発明はこれに限定されない。ステップ4で求めた値に比べて

、どの程度の違いがあれば欠陥画素とするかどうかは使用者が適宜決めることが可能である。また、統計学に基づく公知の方法で、分散や、標準偏差を用いて欠陥画素を特定してもよい。

## 【0041】

また、欠陥画素の座標を特定する手段としてのキャリブレーションは、半導体装置を初めて使用する際に行われるとよい。そして、欠陥画素の座標が一度特定されると、半導体装置が有する欠陥画素座標メモリにはその座標が記憶されることになる。そのため、再度キャリブレーションを行う必要はない。そして欠陥画素の座標が欠陥画素座標メモリに記憶されている場合は、図2および図3に示すフローチャートにおいて、Aで示す箇所から始めて、キャリブレーションは行わず、被写体の画像の読み取りから始めればよい。

## 【0042】

## (実施の形態2)

本実施の形態では、欠陥画素の画像信号を生成する手段を図3を用いて説明する。

## 【0043】

図3を参照する。欠陥画素101の座標が特定され、欠陥画素座標メモリに座標が記憶されると、その欠陥画素101の画像信号は、欠陥画素と隣接している画素の画像信号から生成される。

## 【0044】

図3 (A) は、半導体装置がモノクロで被写体の情報を読み取り、該被写体の画像をモノクロで表示する場合を示している。欠陥画素101の座標を (m, n) とすると、欠陥画素101に隣接している画素 (m, n ± 1) 、画素 (m ± 1, n ± 1) 、画素 (m ± 1, n) のあわせて 8 個の画素における画像信号から欠陥画素の画像信号を生成する。より詳細には、欠陥画素101に隣接している画素 (m, n ± 1) 、画素 (m ± 1, n ± 1) 、画素 (m ± 1, n) の画像信号の平均値を求めて、該平均値を欠陥画素101の画像信号とする。

## 【0045】

なお、図3 (A) では、画素 (m, n ± 1) 、画素 (m ± 1, n ± 1) 、画素

( $m \pm 1, n$ ) のあわせて 8 個の画素から欠陥画素 101 ( $m, n$ ) の画像信号を生成したが、本発明はこれに限定されない。例えば、上述した 8 個の画素に、画素 ( $m \pm 2, n \pm 2$ ) を加えて、合わせて 12 個の画素の画像信号の平均値をとってもよい。また、欠陥画素 101 の両隣にある画素 ( $m \pm 1, n$ ) の 2 個の画素の平均値、あるいは欠陥画素 101 の上下にある画素 ( $m, n \pm 1$ ) の平均値をとるようにしてもよい。また、欠陥画素 101 の画像信号を、欠陥画素 101 に隣接する画素 ( $m, n \pm 1$ )、画素 ( $m \pm 1, n \pm 1$ )、画素 ( $m \pm 1, n$ ) の 8 個の画素の内の任意の 1 個の画素の画像信号と同じにしてもよい。すなわち、欠陥画素に隣接するどこの画素の画像信号の平均値を欠陥画素の画像信号とするかは使用者が適宜決めることができる。

## 【0046】

また、欠陥画素が画素配列の端にある場合は、欠陥画素に隣接する画素の画像信号のみを用いて、欠陥画素の画像信号を生成してもよい。また、半導体装置が第一の欠陥画素と第二の欠陥画素を有しており、第一の欠陥画素と第二の欠陥画素が隣接している場合は、第一の欠陥画素に隣接している画素の内、第二の欠陥画素を除いた画素の画像信号から第一の欠陥画素の画像信号を生成してもよい。

## 【0047】

図3 (B) は、半導体装置がカラーで被写体の情報を読み取り、該被写体の画像をカラーで表示する場合を示している。被写体の画像をカラーで読み取る方法としては、大まかに二つの方法がある。一つ目の方法は、それぞれの画素に一つの光電変換素子を設け、光源を赤 (R) と緑 (G) と青 (B) の三回それぞれ切り替えて、被写体を三回読み取る方法である。二つ目の方法は、画素に赤 (R) と緑 (G) と青 (B) のカラーフィルタを設け、光源を白色光にして、被写体を 1 回読み取る方法である。また、画素にカラーフィルタを設ける場合は、1 つの画素に 1 色のカラーフィルタを設け、隣接する画素から異なる色の情報を得る場合と、1 つの画素を 3 つの副画素に分けて、赤 (R) と緑 (G) と青 (B) のカラーフィルタを設ける場合とがある。本実施の形態では、後者の場合について述べる。

## 【0048】

102は画素を示し、副画素R (m, n) と、副画素G (m, n) と、副画素B (m, n) を有する。欠陥副画素301の座標を (m, n) とすると、欠陥副画素301の周囲の副画素G (m, n±1)、副画素G (m±1, n±1)、副画素G (m±1, n) のあわせて8個の副画素における画像信号から欠陥副画素の画像信号を生成する。より詳細には、欠陥副画素301の周囲の副画素G (m, n±1)、副画素G (m±1, n±1)、副画素G (m±1, n) の画像信号の平均値を求めて、該平均値を欠陥副画素301の画像信号とする。

## 【0049】

なお、図3 (B) では、副画素G (m, n±1)、副画素G (m±1, n±1)、副画素G (m±1, n) のあわせて8個の画素から欠陥副画素301 (m, n) の画像信号を生成したが、本発明はこれに限定されない。例えば、上述した8個の画素に、画素G (m±2, n±2) を加えて、合わせて12個の画素の画像信号の平均値をとってもよい。また、副画素G (m±1, n) の2個の画素の平均値をとるようにしてもよい。すなわち、欠陥画素に隣接するどこの画素の画像信号の平均値を欠陥画素の画像信号とするかは使用者が適宜決めることができる。なお、本発明を用いた被写体の画像の修復は、一旦、被写体の全画面分のデータを読み取ってから行ってもよい。また、一行ずつまたは一画素ずつ被写体の情報を読み取りながら、被写体の画像を読み取った箇所の、被写体の画像を修復してもよい。

## 【0050】

なお、本発明は、実施の形態1と自由に組み合わせることが可能である。

## 【0051】

## (実施の形態3)

本実施の形態では、光電変換素子を有する画素が複数設けられた画素部と、該画素部により読み取られた被写体の画像を表示する表示装置との関係について図4を用いて説明する。

## 【0052】

図4で示す画素部200には、読み取り機能を有する光電変換素子が設けられている。画素部200により読み取られた被写体の情報は、欠陥画素修復システ

ムに出力される。なお本実施の形態では、欠陥画素特定システムと画像補正システムとを会わせて欠陥画素修復システムとよぶ。

## 【0053】

欠陥画素修復システムはC P U 2 0 2 と、画像信号修復回路2 0 3と、欠陥画素座標メモリ2 0 4とを有している。また、本発明の欠陥画素修復システムは、キャリブレーションにより、画素部において欠陥画素の有無を特定し、かつ前記欠陥画素の座標を特定する手段を有する。また、欠陥画素の画像信号を、欠陥画素に隣接する画素の画像信号から生成する手段を有することを特徴とする。

## 【0054】

欠陥画素座標メモリ2 0 4は、欠陥画素の座標が特定されると、該欠陥画素の座標が記憶される。また、画像信号修復回路2 0 3では、該欠陥画素に隣接する画素の画像信号から欠陥画素の画像信号を生成する。より詳細には、欠陥画素に隣接している画素の画像信号の平均値を求めて、該平均値を欠陥画素の画像信号とする。

## 【0055】

コントロール回路2 0 5は、欠陥画素修復システムにより生成された欠陥画素の画像信号および欠陥画素以外の画像信号を、表示部2 0 6に出力する。そして、表示部2 0 6では、画素部2 0 0で読み取られた被写体の画像を表示する。

## 【0056】

なお、本発明はイメージセンサ機能を有する全ての半導体装置に有効である。例えば、C C D型やC M O S型のイメージセンサ機能を有する半導体装置にも本発明は有効であるし、その他のすべてのイメージセンサ機能を有する半導体装置に本発明は有効である。また、ラインセンサおよびエリアセンサにも本発明は有効である。また、本発明を用いる半導体装置は、モノクロの画像を読み取る半導体装置でも、カラーの画像を読み取る半導体装置でもよい。また、単結晶（S O I やバルク）基板上に形成された場合や薄膜トランジスタを有する半導体装置にも有効である。

## 【0057】

スキャナなどの読み取り機能のみを有する半導体装置の場合は、任意の表示裝

置に画像を表示する際に、本発明を用いると、欠陥画素が修復されたように見せることが可能である。例えば、スキャナで読み取った被写体の情報を、任意のディスプレイに表示する場合においては、図4で示す画素部200と表示部206が異なっている。

## 【0058】

また、光電変換素子と発光素子を一画素とする半導体装置の場合は、被写体の情報の読み取りと、該被写体の表示を同じ画素で行う。このような半導体装置は、図4で示す画素部200と表示部206が同じである。

## 【0059】

なお、本発明は、実施の形態1、2と自由に組み合わせることが可能である。

## 【0060】

## 【実施例】

## (実施例1)

本実施例では、本発明を適用することが可能な半導体装置の一例を説明する。

## 【0061】

図5は、パッシブ型の半導体装置の画素部の回路図を示す。画素部103はセンサ選択信号線(SG1～SGy)、センサ用信号出力線(SS1～SSx)、センサ用電源線(VB1～VBx)を有している。

## 【0062】

画素部103は複数の画素102を有している。画素102は、フォトダイオード111と、センサ選択用トランジスタ112と、センサ選択信号線(SG1～SGy)のいずれか1つと、センサ用信号出力線(SS1～SSx)のいずれか1つを有している。

## 【0063】

フォトダイオード111のPチャネル側端子は電源基準線121に接続されている。センサ選択用トランジスタ112のソース領域またはドレイン領域には、一方にはフォトダイオード111のNチャネル側端子が接続されており、もう一方にはセンサ用信号出力線(SS1～SSx)が接続されている。センサ選択用トランジスタ112のゲート電極には、センサ選択信号線(SG1～SGy)が

接続されている。

【0064】

なお、本実施例は、実施の形態と自由に組み合わせることが可能である。

(実施例2)

本実施例では、実施例1とは異なる半導体装置の例について説明する。

【0065】

図6は、アクティブ型の半導体装置の画素部の回路図を示す。画素部103はセンサ選択信号線(SG1～SGy)、センサリセット信号線(SR1～SRy)、センサ用信号出力線(SS1～SSx)、センサ用電源線(VB1～VBx)を有している。

【0066】

画素部103は複数の画素102を有している。画素102は、フォトダイオード111と、センサ選択用トランジスタ112と、增幅用トランジスタ113と、センサリセット用トランジスタ114と、センサ選択信号線(SG1～SGy)のいずれか1つと、センサリセット信号線(SR1～SRy)のいずれか1つと、センサ用信号出力線(SS1～SSx)のいずれか1つと、センサ用電源線(VB1～VBx)のいずれか1つを有している。

【0067】

フォトダイオード111のPチャネル側端子は電源基準線121に接続され、Nチャネル側端子は、增幅用トランジスタ113のゲート電極に接続されている。

【0068】

增幅用トランジスタ113のドレイン領域とソース領域は、一方はセンサ用電源線(VB1～VBx)に接続されており、もう一方はセンサ選択用トランジスタ112のドレイン領域に接続されている。增幅用トランジスタ113は、バイアス用トランジスタ120とソースフォロワ回路を形成する。そのため、增幅用トランジスタ113とバイアス用トランジスタ120の極性は同じである方がよい。

【0069】

センサ選択用トランジスタ112のゲート電極には、センサ選択信号線（SG1～SGy）が接続され、センサ選択用トランジスタ112のソース領域には、センサ用信号出力線（SS1～SSx）が接続されている。

## 【0070】

センサリセット用トランジスタ114のゲート電極は、センサリセット信号線（SR1～SRy）に接続されている。センサリセット用トランジスタ114のソース領域とドレイン領域は、一方はセンサ用電源線（VB1～VBx）に接続されており、もう一方は増幅用トランジスタ111のゲート電極に接続されている。

## 【0071】

バイアス用トランジスタ120のソース領域およびドレイン領域は、一方はセンサ用信号出力線（SS1～SSx）に接続されており、もう一方は電源線122に接続されている。またバイアス用トランジスタ120のゲート電極は、バイアス用信号線（BS）に接続されている。

## 【0072】

実施例1および実施例2では、MOS型の半導体装置について説明したが、本発明は、CCD型の半導体装置にも適用することができる。なお、本実施例は、実施の形態および実施例1と自由に組み合わせることが可能である。

## 【0073】

## (実施例3)

本実施例では、実施例1および実施例2とは異なる例について説明する。発光素子と光電変換素子を一画素中に用いた半導体装置について、図7および図8を用いて説明する。

## 【0074】

画素部103はソース信号線（S1～Sx）、電源供給線（V1～Vx）、選択信号線（EG1～EGy）、リセット信号線（ER1～ERY）、センサ選択信号線（SG1～SGy）、センサリセット信号線（SR1～SRy）、センサ用信号出力線（SS1～SSx）、センサ用電源線（VB1～VBx）を有している。

## 【0075】

画素部103は複数の画素102を有している。画素102は、ソース信号線(S1～Sx)のいずれか1つと、電源供給線(V1～Vx)のいずれか1つと、選択信号線(EG1～EGy)のいずれか1つと、リセット信号線(ER1～ERY)のいずれか1つと、センサ選択信号線(SG1～SGy)のいずれか1つと、センサリセット信号線(SR1～SRy)のいずれか1つと、センサ用信号出力線(SS1～SSx)のいずれか1つと、センサ用電源線(VB1～VBx)のいずれか1つを有している。また、画素102は、選択用トランジスタ116と、駆動用トランジスタ119と、リセット用トランジスタ117と、センサ選択用トランジスタ112と、增幅用トランジスタ113と、センサリセット用トランジスタ114とを有している。

## 【0076】

バイアス用トランジスタ120のソース領域およびドレイン領域は、一方はセンサ用信号出力線(SS1～SSx)に接続されており、もう一方は電源線122に接続されている。またバイアス用トランジスタ120のゲート電極は、バイアス用信号線(BS)に接続されている。

## 【0077】

図8には、図7で示した画素部におけるi行目j列目の画素(i, j)を示す

## 【0078】

フォトダイオード111は、nチャネル型端子、pチャネル型端子、およびnチャネル型端子とpチャネル型端子の間に設けられている光電変換層を有している。pチャネル型端子、nチャネル型端子の一方は、電源基準線121に接続されており、もう一方は增幅用トランジスタ113のゲート電極に接続されている

## 【0079】

センサ選択用トランジスタ112のゲート電極はセンサ選択信号線(SGj)に接続されている。そしてセンサ選択用トランジスタ112のソース領域とドレイン領域は、一方は增幅用トランジスタ113のソース領域に接続されており、

もう一方はセンサ用信号出力線（S S i）に接続されている。センサ選択用トランジスタ112は、フォトダイオード111の信号を出力するときのスイッチング素子として機能するトランジスタである。

## 【0080】

増幅用トランジスタ113のドレイン領域はセンサ用電源線（V B i）に接続されている。そして増幅用トランジスタ113のソース領域はセンサ選択用トランジスタ112のソース領域又はドレイン領域に接続されている。増幅用トランジスタ113は、バイアス用トランジスタ120とソースフォロワ回路を形成する。そのため、増幅用トランジスタ113とバイアス用トランジスタ120の極性は同じである方がよい。

## 【0081】

センサリセット用トランジスタ114のゲート電極は、センサリセット信号線（S R j）に接続されている。センサリセット用トランジスタ114のソース領域とドレイン領域は、一方はセンサ用電源線（V B i）に接続されており、もう一方は、フォトダイオード111及び増幅用トランジスタ113のゲート電極に接続されている。センサリセット用トランジスタ114は、フォトダイオード111を初期化するための素子として機能するトランジスタである。

## 【0082】

発光素子115は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が駆動用トランジスタ116のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、また陰極が対向電極となる。逆に陰極が駆動用トランジスタ116のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

## 【0083】

選択用トランジスタ116のゲート電極は選択信号線（E G j）に接続されている。そして選択用トランジスタ116のソース領域とドレイン領域は、一方がソース信号線（S i）に、もう一方が駆動用トランジスタ116のゲート電極に接続されている。選択用トランジスタ116は、画素（i、j）に信号を書き込むときのスイッチング素子として機能するトランジスタである。

## 【0084】

駆動用トランジスタ116のソース領域とドレイン領域は、一方が電源供給線(Vi)に、もう一方が発光素子115に接続されている。コンデンサ118は駆動用トランジスタ116のゲート電極と電源供給線(Vi)に接続して設けられている。駆動用トランジスタ116は、発光素子115に供給する電流を制御するための素子(電流制御素子)として機能するトランジスタである。

## 【0085】

リセット用トランジスタ117のソース領域とドレイン領域は、一方は電源供給線(Vi)に接続され、もう一方は駆動用トランジスタ116のゲート電極に接続されている。リセット用トランジスタ117のゲート電極は、リセット信号線(ERj)に接続されている。リセット用トランジスタ117は、画素(i,j)に書き込まれた信号を消去(リセット)するための素子として機能するトランジスタである。

## 【0086】

本実施例の半導体装置は、光電変換素子と発光素子のそれぞれを制御するための複数のトランジスタが設けられている。光電変換素子により読み取られた被写体の情報は、同じ画素に設けられた発光素子により表示される。

## 【0087】

読み取る機能を有する光電変換素子、および該光電変換素子を制御するトランジスタに欠陥が存在する画素を本明細書では欠陥画素をよぶが、同じ画素に設けられている発光素子、および該発光素子を制御するトランジスタに欠陥が無ければ、本発明を適用することが可能である。

## 【0088】

なお、本実施例は、実施の形態および実施例1、2と自由に組み合わせることが可能である。

## 【0089】

## (実施例4)

本実施例では、実施例2で説明したアクティブ型のCMOSセンサの半導体装置の基本的な動作について説明する。図16には、図6で示した画素部103

における  $i$  行目  $j$  列目の画素 ( $i, j$ ) を示す。

【0090】

まず、センサリセット用トランジスタ114を導通状態にする。センサリセット用トランジスタ114を導通状態にすると、光電変換素子111のpチャネル型端子が電源基準線121に接続された状態になり、かつ、光電変換素子111のnチャネル型端子がセンサ用電源線 ( $V_{Bi}$ ) に電気的に接続された状態となる。この際、電源基準線121の電位は基準電位0Vであり、センサ用電源線 ( $V_{Bi}$ ) の電位は電源電位  $V_{dd}$  である。そのため、光電変換素子111には、逆バイアス電圧が与えられる。なお、本明細書では、光電変換素子111のnチャネル型端子の電位が、センサ用電源線 ( $V_{Bi}$ ) の電位まで充電される動作をリセットと呼ぶことにする。

【0091】

次に、センサリセット用トランジスタ114を非導通状態にする。センサリセット用トランジスタ114を非導通状態にすると、光電変換素子111に光が照射されていた場合は、光電変換により、光電変換素子111に電荷が発生する。そのため、時間が経過するに従って、センサ用電源線 ( $V_{Bi}$ ) の電位と同じ電位が充電されていた光電変換素子111のnチャネル型端子の電位は、徐々に低くなってしまう。

【0092】

次に、ある一定時間経過した後、センサ選択用トランジスタ112を導通状態にする。センサ選択用トランジスタ112を導通状態にすると、光電変換素子111のnチャネル型端子の電位が增幅用トランジスタ113を通って、センサ信号出力線 ( $SS_i$ ) へ出力される。

【0093】

但し、センサ信号出力線 ( $SS_i$ ) に光電変換素子111のnチャネル型端子の電位が出力されている状態において、バイアス信号線 ( $BS$ ) には、電位が与えられている。つまり、バイアス用トランジスタ120には、電流が流れているため、增幅用トランジスタ113とバイアス用トランジスタ120は、ソースフォロワ回路として機能している。

## 【0094】

図16では、光電変換素子111のpチャネル型端子が接続されている配線、つまり、電源基準線121は、光電変換素子側電源線と呼ぶこともできる。また、光電変換素子側電源線の電位は、光電変換素子111の向きによって変わる。

図16では、光電変換素子側電源線には、光電変換素子111のpチャネル型端子が接続されており、その電位は基準電位0Vである。そのため、図16では、光電変換素子側電源線を電源基準線と呼んでいる。

## 【0095】

同様に、図16では、センサリセット用トランジスタ114が接続されている配線、つまり、センサ用電源線(VBi)は、リセット側電源線と呼ぶこともできる。リセット側電源線の電位は、光電変換素子111の向きによって変わる。図16では、リセット側電源線には、センサリセット用トランジスタ114を介して、光電変換素子111のnチャネル側端子が接続されており、その電位は電源電位Vddである。そのため、図16では、リセット側電源線を電源線と呼んでいる。

## 【0096】

なお、光電変換素子111をリセットする動作は、光電変換素子111に逆バイアス電圧が与えられる動作と同じである。よって、光電変換素子111の向きによって、光電変換素子側電源線とリセット側電源線の電位の大小関係は変化する。

## 【0097】

次に、図17に基本的なソースフォロワ回路の例を示す。図17では、nチャネル型トランジスタを用いた場合について示すが、pチャネル型トランジスタを用いてソースフォロワ回路を構成することも出来る。

## 【0098】

増幅側電源線130には、電源電位Vddが与えられており、電源線122には、基準電位0Vが与えられている。増幅用トランジスタ113のドレイン領域は増幅側電源線130に接続され、増幅用トランジスタ113のソース領域はバイアス用トランジスタ120のドレイン領域に接続されている。バイアス用ト

ランジスタ120のソース領域は、電源線122に接続されている。

【0099】

バイアス用トランジスタ120のゲート電極には、バイアス電位 $V_b$ が与えられ、バイアス用トランジスタ120には、バイアス電流 $I_b$ が流れている。バイアス用トランジスタ120は、定電流源として動作する。

【0.100】

図17において、増幅用トランジスタ113のゲート電極が、入力端子131である。よって、増幅用トランジスタ113のゲート電極には、入力電位 $V_{in}$ が加えられる。また、増幅用トランジスタ113のソース領域が出力端子132である。よって、増幅用トランジスタ113のソース領域の電位が、出力電位 $V_{out}$ となる。この際、ソースフォロワ回路の電位の入出力関係は、 $V_{out} = V_{in} - V_b$ となる。

【0101】

なお、図17においては、センサ選択用トランジスタ112は、導通状態であることを想定し、省略されている。また光電変換素子111のnチャネル型端子の電位は、入力電位 $V_{in}$ （増幅用トランジスタ113のゲート電位、つまり入力端子131の電位）に対応する。センサ信号出力線（SSi）の電位は、出力電位 $V_{out}$ （増幅用トランジスタ113のソース電位、つまり出力端子132の電位）に対応する。センサ用電源線（VBi）は、増幅側電源線130に対応する。

【0102】

従って、図16において、光電変換素子111のnチャネル型端子の電位を $V_{pd}$ とし、バイアス信号線（BS）の電位、つまり、バイアス電位を $V_b$ とし、センサ信号出力線（SSi）の電位を $V_{out}$ とする。また、電源基準線121と電源線122の電位を0Vとすると、 $V_{out} = V_{pd} - V_b$ となる。よって、光電変換素子111のnチャネル型端子の電位 $V_{pd}$ が変化すると、 $V_{out}$ も変化することになり、 $V_{pd}$ の変化を信号として出力する。よって、光電変換素子111は、光強度を読み取ることが出来る。

【0103】

次に、画素102での信号のタイミングチャートを図18に示す。

【0104】

始めに、センサリセット信号線（SR1～SRy）を制御し、センサリセット用トランジスタ114を導通状態にする。

【0105】

次に、光電変換素子111のnチャネル型端子の電位は、センサ用電源線（VBi）の電位である電源電位Vddにまで充電される。すなわち、画素102がリセットされる。それから、センサリセット信号線（SR1～SRy）を制御し、センサリセット用トランジスタ114を非導通状態にする。

【0106】

その後、光電変換素子111に光が照射されていると、光強度に応じた電荷が光電変換素子111に発生する。そして、リセットにより充電された電荷が、徐々に放電され、光電変換素子111のnチャネル型端子の電位が低くなっている。

【0107】

図16に示すように、光電変換素子111に明るい光が照射されている場合は、放電される量が多いため、光電変換素子111のnチャネル型端子の電位は低くなる。光電変換素子111に暗い光が照射されている場合は、放電される量が少なく、光電変換素子111のnチャネル型端子の電位は、明るい光が照射されている場合に比べると、あまり低くならない。

【0108】

そして、ある時点において、センサ選択用トランジスタ112を導通状態にして、光電変換素子111のnチャネル型端子の電位を信号として読み出す。この信号は、光電変換素子111に照射された光の強度に比例している。そして、再びセンサリセット用トランジスタ114を導通状態にして光電変換素子111をリセットし、上述の動作を繰り返していく。

【0109】

但し、非常に明るい光が照射された場合は、光電変換素子111の電荷の放電される量が非常に多いため、光電変換素子111のnチャネル型端子の電位は

、非常に低下してしまう。しかし、光電変換素子111のnチャネル型端子の電位は、光電変換素子111のpチャネル型端子、つまり電源基準線121の電位より低くなることはない。

## 【0110】

また、非常に明るい光が照射された場合は、光電変換素子111のnチャネル型端子の電位が低くなってくるが、その電位が電源基準線121の電位まで低くなると、電位は変化しなくなる。このような状況を飽和と呼ぶ。飽和すると、光電変換素子111のnチャネル型端子の電位が変化しなくなってしまうため、正しい光強度に応じた信号を出力できない。よって、正常に動作させるためには、光電変換素子111が飽和しないようにして、動作させる必要がある。

## 【0111】

また、画素102がリセットされてから、信号を出力する時までの期間は、蓄積時間と呼ばれる。蓄積時間とは、イメージセンサの受光部に光を照射し、信号を蓄積している時間のことであり、露光時間ともよばれる。蓄積時間において、光電変換素子111は、光電変換素子111に照射された光によって生成される電荷を蓄積している。

## 【0112】

よって、蓄積時間が異なると、たとえ同じ光強度であっても、光によって生成される電荷の総量が異なるため、信号値も異なってしまう。例えば、強い光が光電変換素子111に照射された場合は、短い蓄積時間で飽和してしまう。また、弱い光が光電変換素子111に照射された場合であっても、蓄積時間が長いと、いずれは飽和状態に達する。つまり、信号は、光電変換素子111に照射される光の強さと蓄積時間との積によって決定する。

## 【0113】

なお、本実施例は、実施の形態および実施例1乃至実施例3と自由に組み合わせることが可能である。

## 【0114】

## (実施例5)

本実施例では、半導体装置に黒色のキャリブレーションシートを読み取らせ

る動作と同様の動作をさせる半導体装置の駆動方法について説明する。

【0115】

本実施例では、アクティブ型のCMOSセンサの半導体装置において、センサリセット用トランジスタ114にリセット信号が印可された際に、光電変換素子111のnチャネル型端子の電位を読み出すこととする。

【0116】

センサリセット用トランジスタ114にリセット信号が印可された際に、読み出される光電変換素子111のnチャネル型端子の電位は、黒色のキャリブレーションシートの読み取りを行って、読み出される光電変換素子111の電位とほぼ同じである。つまり、センサリセット用トランジスタ114にリセット信号が印可された際に、光電変換素子111のnチャネル型端子の電位を読み出す動作は、黒色のキャリブレーションシートを読み取る動作と同じ動作をしていることになる。その理由を以下に述べる。

【0117】

黒色のキャリブレーションシートの読み取りを行った際、光電変換素子111に照射される光はほとんどない。つまり、光電変換素子111では、光電変換はほとんど行われず、光電変換素子111には、電荷は蓄積されない。そのため、黒のキャリブレーションシートの読み取りを行った際、光電変換素子111のnチャネル型端子の電位はセンサ用電源線（VB1～VBx）の電位とほぼ同じ値となる。

【0118】

一方、センサリセット用トランジスタ114にリセット信号を印可した際にも、光電変換素子111のnチャネル型端子の電位は、センサ用電源線（VB1～VBx）とほぼ同じ値にまで充電される。

【0119】

つまり、センサリセット用トランジスタ114にリセット信号を印可された際に、読み出される光電変換素子111の電位は、黒色のキャリブレーションシートの読み取りを行って、読み出される光電変換素子111の電位と、ほぼ同じ電位であることが分かる。

## 【0120】

なお、本実施例では、リセット信号を印可した際に読み取る被写体は、キャリブレーションシートを用いる必要はなく、どのような被写体でもよい。

## 【0121】

なお、イメージセンサ機能を有する半導体装置には、実際に被写体を読み取る際、リセット信号を印可した際の光電変換素子111の信号を読み取っている半導体装置がある。そのような半導体装置の場合は、リセット信号を印可した際の光電変換素子111の信号を用いればよい。

## 【0122】

以上は、アクティブ型のCMOSセンサの半導体装置について述べたが、以下にパッシブ型のCMOSセンサの半導体装置について述べる。

## 【0123】

パッシブ型の半導体装置の場合には、図19に示すように選択信号が印可された際に、光電変換素子111に蓄積された電荷を読み出す。そして、すぐに光電変換素子111の電位は、センサ用電源線(VB1～VBx)の電位にまで充電される。

## 【0124】

本実施例では、光電変換素子111の電位が、センサ用電源線(VB1～VBx)の電位にまで充電された際に、光電変換素子111に蓄積された電荷を読み出すこととする。そのためには、選択信号を印可した後、すぐに選択信号を再び印可して、蓄積時間を短くして、光電変換素子111の電位が、センサ用電源線(VB1～VBx)の電位にまで充電された際の光電変換素子111の電位を読み出してもよい。また、選択信号を印可する時間を長くし、光電変換素子の電位がセンサ用電源線(VB1～VBx)の電位にまで充電された際の、光電変換素子111の電位を読み出してもよい。このように蓄積時間を短くした場合の信号を読み出せばよい。

## 【0125】

以上は、MOS型の半導体装置について説明したが、本実施例は、CCD型の半導体装置など、イメージセンサ機能を有する全ての半導体装置に適用すること

ができる。

【0126】

なお、本実施例の駆動方法は、本明細書の実施の形態で説明した図2のステップ2に相当する。つまり、白色のキャリブレーションを行うステップ1と、本実施例を組み合わせれば、欠陥画素の有無を特定し、かつ欠陥画素の座標を特定することができる。

【0127】

また、本実施例は、実施の形態および実施例1乃至実施例4と自由に組み合わせることが可能である。

【0128】

(実施例6)

本実施例では、半導体装置に白色のキャリブレーションシートを読み取らせる動作と同様の動作をさせる半導体装置の駆動方法について説明する。

【0129】

本実施例では、光電変換素子111の蓄積時間を長くすることにより、白色のキャリブレーションシートを読み取らせる動作と同じ動作をする半導体装置の駆動方法について説明する。以下に本発明が適用される具体的な光電変換素子111の蓄積時間の長さを説明する。

【0130】

光電変換素子111に流れる暗電流を $I_d$ とおく。暗電流 $I_d$ とは、光電変換素子111に光が照射されていない状態においても、光電変換素子111に流れてしまう電流のことである。そして、光電変換素子111の容量をCとし、このときの光電変換素子111の蓄積時間をTとする。また、リセット信号を印可した際に光電変換素子の両端に加わる電圧の値を $V_p$ とする。そうすると、電荷Qは以下の(式4)と(式5)のように表される。

$$【式4】 Q = C \times V_p$$

【0131】

$$【式5】 Q = I_d \times T$$

【0132】

また、(式4)と(式5)から、以下の(式6)が求められる。

【0133】

【式6】  $T = (C \times V_p) / I_d$

【0134】

本実施例では、蓄積時間が以下の(式7)を満たす場合に、光電変換素子111のnチャネル型端子の電位を読み出すこととする。

【0135】

【式7】  $T > (C \times V_p) / I_d$

【0136】

(式7)を満たす蓄積時間において、読み出される光電変換素子111のnチャネル型端子の電位は、白色のキャリブレーションシートの読み取りを行って、読み出される光電変換素子111の電位とほぼ同じである。つまり、(式7)を満たす蓄積時間において、光電変換素子111のnチャネル型端子の電位を読み出す動作は、白色のキャリブレーションシートを読み取る動作と同じ動作をしていることになる。理由を以下に述べる。

【0137】

白色のキャリブレーションシートの読み取りを行った際、光電変換素子111に照射される光は、非常に明るい光である。つまり、光電変換素子111では、光電変換はほぼ飽和状態にまで行われ、光電変換素子111に電荷が蓄積される。そのため、白色のキャリブレーションシートの読み取りを行った際、光電変換素子111のnチャネル型端子の電位はほとんど放電されている。

【0138】

(式7)を満たす蓄積時間においては、光電変換素子111のnチャネル型端子の電位を読み出す動作は、光電変換素子111のnチャネル型端子の電位がほとんど放電された状態であるため、白色のキャリブレーションシートを読み出す動作と同じである。

【0139】

なお、本実施例では、半導体装置が読み取る被写体は、キャリブレーションシートを用いる必要はなく、どのような被写体でもよい。

## 【0140】

なお、本実施例は、アクティブ型の半導体装置、パッシブ型の半導体装置のいずれも有効である。またCCD型の半導体装置にも有効である。

## 【0141】

なお、本実施例の駆動方法は、本明細書の実施の形態で説明した図2のステップ1に相当する。つまり、黒色のキャリブレーションを行うステップ2と、本実施例を組み合わせれば、欠陥画素の有無を特定し、かつ欠陥画素の座標を特定することができる。

## 【0142】

また、本実施例は、実施の形態および実施例1乃至実施例5と自由に組み合わせることが可能である。

## 【0143】

## (実施例7)

本実施例では、本発明を用いて実際に得られた被写体の画像、および本発明のシステムのウインドウの画像を示す。なお本実施例で示すシステムは、windows98が搭載されたパソコンにインストールされたVisual Basic6.0（マイクロソフト社）を用いて作成された。

## 【0144】

図9は白のキャリブレーションを行い、得られた画像を示す。図9に示されるように、白のキャリブレーションを行うと、欠陥画素が黒色の点として示されている。図10は黒のキャリブレーションを行って得られた画像を示す。図10に示されるように、黒のキャリブレーションを行うと、欠陥画素が白色の点として示されている。図9と図10から、欠陥画素の場所が分かる。

## 【0145】

図11は、本発明を使用している際のパソコンの画面を示したものである。図11には、図9で示した白のキャリブレーションを行って得られた画像と該画像の画像信号を数字で表した表が示されている。また、図10で示した黒のキャリブレーションにより得られた画像と、該画像の画像信号を数字で表した表が示されている。

## 【0146】

図12は、本発明を用いていない半導体装置によって、読み取られた被写体の画像を示したものである。図13は、本発明を用いた半導体装置によって、読み取られた被写体の画像を示したものである。

## 【0147】

図12と図13を比べると、図12には、欠陥画素が黒色の点および白色の点で示されていることが分かる。しかし、図13では、欠陥画素の画像信号は、欠陥画素の周囲の信号で生成され、目立たなくなっている、見かけ上は欠陥画素が修復されている。

## 【0148】

なお、本実施例は、実施の形態および実施例1乃至実施例6と自由に組み合わせることが可能である。

## 【0149】

## (実施例8)

本発明の半導体装置を用いた電子機器の実施例として、図14を用いて説明する。

## 【0150】

図14 (A) は、ラインセンサを用いたハンドスキャナーである。CCD型 (CMOS型) のイメージセンサ1001の上には、ロッドレンズアレイなどの光学系1002が設けられている。光学系1002は、被写体1004上の画像がイメージセンサ1001上に映し出されるようにするために用いられる。

## 【0151】

そして、LEDや蛍光灯などの光源1003は、被写体1004に光を照射できる位置に設けられている。そして、被写体1004の下部には、ガラス1005が設けられている。

## 【0152】

光源1003を出た光は、ガラス1005を介して被写体1004に入射する。被写体1004で反射した光は、ガラス1005を介して、光学系1002に入射する。光学系1002に入射した光は、イメージセンサ1001に入射し、

そこで光電変換される。

【0153】

図14 (B) は、1801は基板、1802は画素部、1803はタッチパネル、1804はタッチペンである。タッチパネル1803は透光性を有しており、画素部1802から発せられる光及び、画素部1802に入射する光を透過することができ、タッチパネル1803を通して被写体上の画像を読み込むことができる。また画素部1802に画像が表示されている場合にも、タッチパネル1803を通して、画素部1802上の画像を見ることが可能である。

【0154】

タッチペン1804がタッチパネル1803に触れると、タッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル1803及びタッチペン1804は、タッチパネル1803が透光性を有していて、なおかつタッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。

【0155】

上記構成を有する本発明の半導体装置は、画像の情報を読み込んで、画素部1802に読み込んだ画像を表示し、取り込んだ画像にタッチペン1804で書き込みを行うことができる。そして本発明の半導体装置は、画像の読み込み、画像の表示、画像への書き込みを、全て画素部1802において行うことができる。よって半導体装置自体の大きさを抑え、なおかつ様々な機能を半導体装置に持たせることができる。

【0156】

図14 (C) は、図14 (B) とは異なる携帯型ハンドスキャナーであり、本体1901、画素部1902、上部カバー1903、外部接続ポート1904、操作スイッチ1905で構成されている。図14 (D) は図14 (C) と同じ携帯型ハンドスキャナーの上部カバー1903を閉じた図である。

【0157】

本発明の半導体装置は、読み込んだ画像の情報を画素部1902において表示することが可能であり、新たにディスプレイを半導体装置に設けなくとも、その場で読み込んだ画像を確認することができる。

## 【0158】

また画素部1902で読み込んだ画像信号を、外部接続ポート1904から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、パソコンにおいて画像を補正、合成、編集等を行うことも可能である。

## 【0159】

なお、本実施例は、実施の形態および実施例1乃至実施例7と自由に組み合わせることが可能である。

## 【0160】

## (実施例9)

また、本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）などが挙げられる。

## 【0161】

図15（A）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明は表示部2602に用いることができる。

## 【0162】

図15（B）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は表示部2302に用いることができる。

## 【0163】

図15（C）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明は表示部2703に用いることができる。

## 【0164】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用い  
ることが可能である。

## 【0165】

なお、本実施例は、実施の形態および実施例1乃至実施例8と自由に組み合  
せることが可能である。

## 【0166】

## 【発明の効果】

本発明を用いることにより、欠陥画素がある半導体装置においても、欠陥画素  
のない半導体装置と同等のイメージセンサ機能を実現することができる。その結  
果、製品歩留まりを向上させることができる。

## 【0167】

## 【図面の簡単な説明】

【図1】 本発明を説明する図。

【図2】 本発明の概念を示す模式図。

【図3】 本発明の概念を示す模式図。

【図4】 本発明の概念を示す模式図。

【図5】 本発明を適用することができる半導体装置の回路図。

【図6】 本発明を適用することができる半導体装置の回路図。

【図7】 本発明を適用することができる半導体装置の回路図。

【図8】 本発明を適用することができる半導体装置の画素の回路図。

【図9】 本発明の使用形態を示す図。

【図10】 本発明の使用形態を示す図。

【図11】 本発明の使用形態を示す図。

【図12】 本発明の使用形態を示す図。

【図13】 本発明の使用形態を示す図。

【図14】 本発明を適用可能な電子機器の図。

【図15】 本発明を適用可能な電子機器の図。

【図16】 本発明を適用することができる半導体装置の画素の回路図。

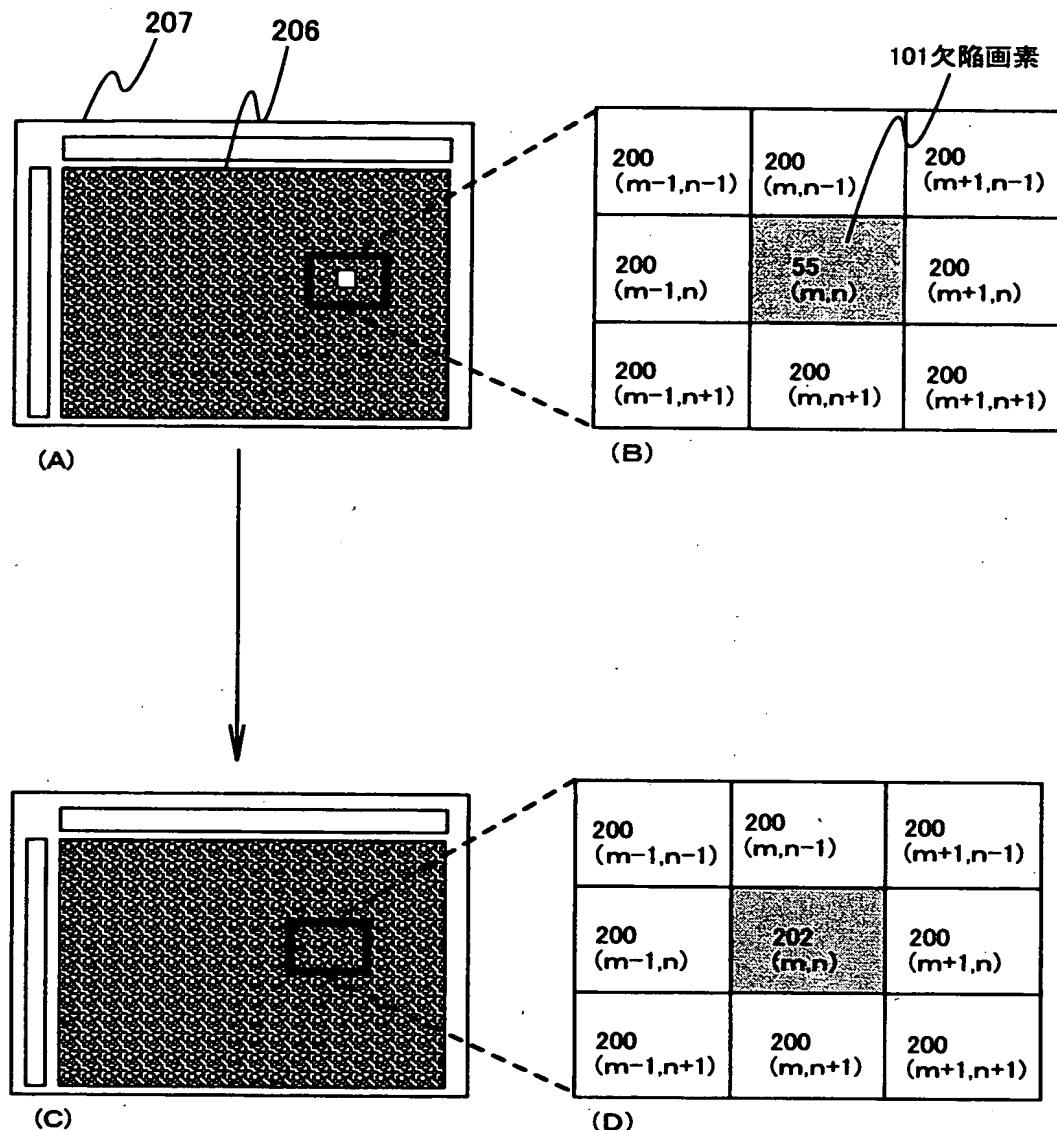
【図17】 本発明を適用することができる半導体装置の画素の回路図。

【図18】 本発明を適用することができる半導体装置の動作形態を示す図。

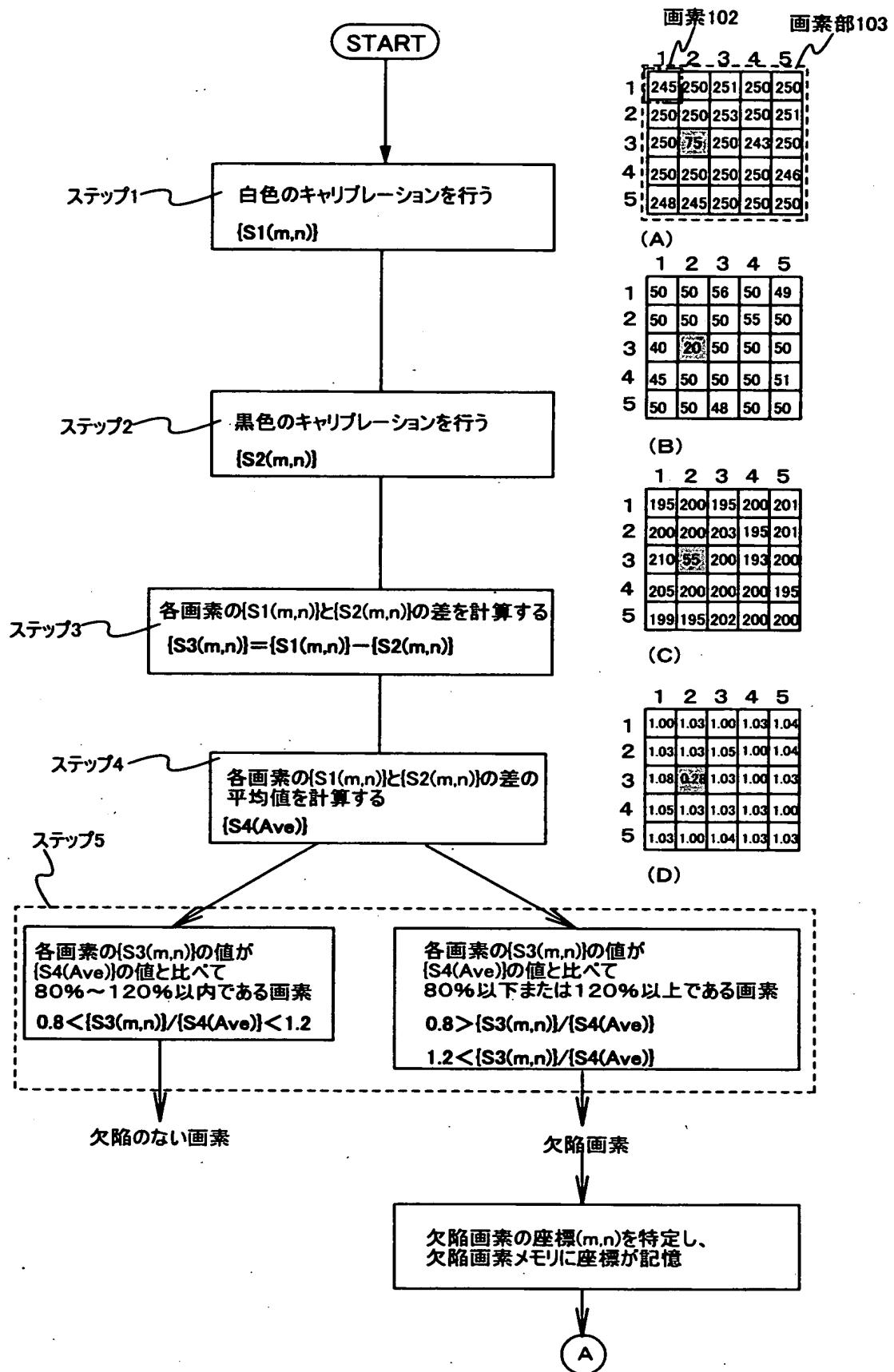
【図19】 本発明を適用することができる半導体装置の動作形態を示す図。

【書類名】 図面

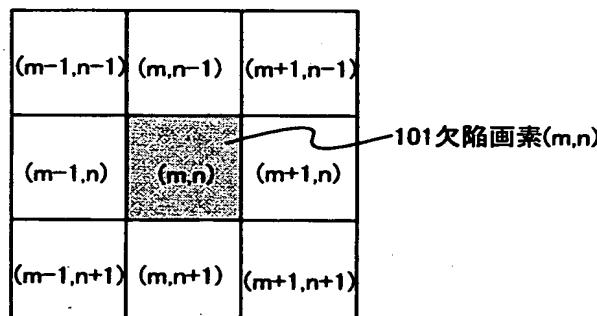
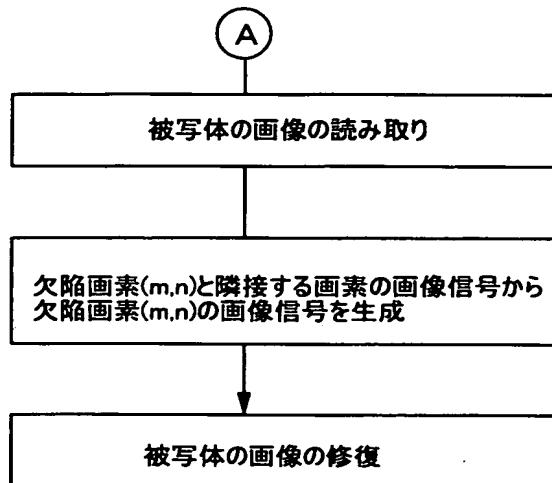
【図1】



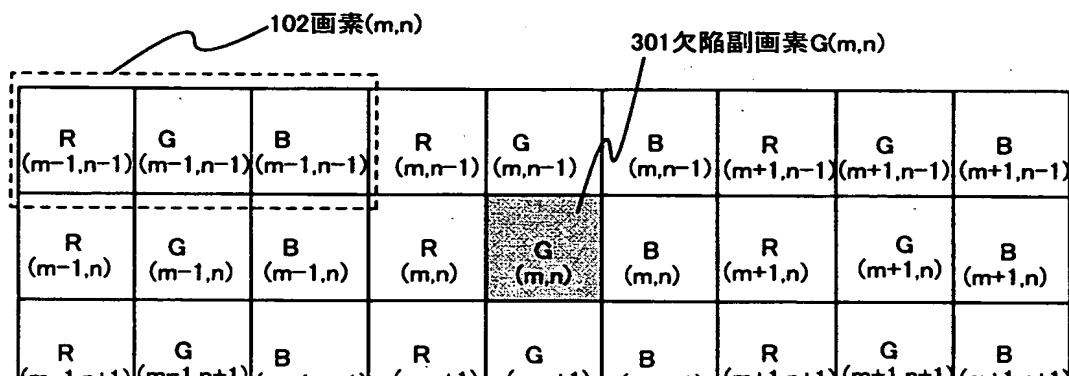
【図2】



【図3】

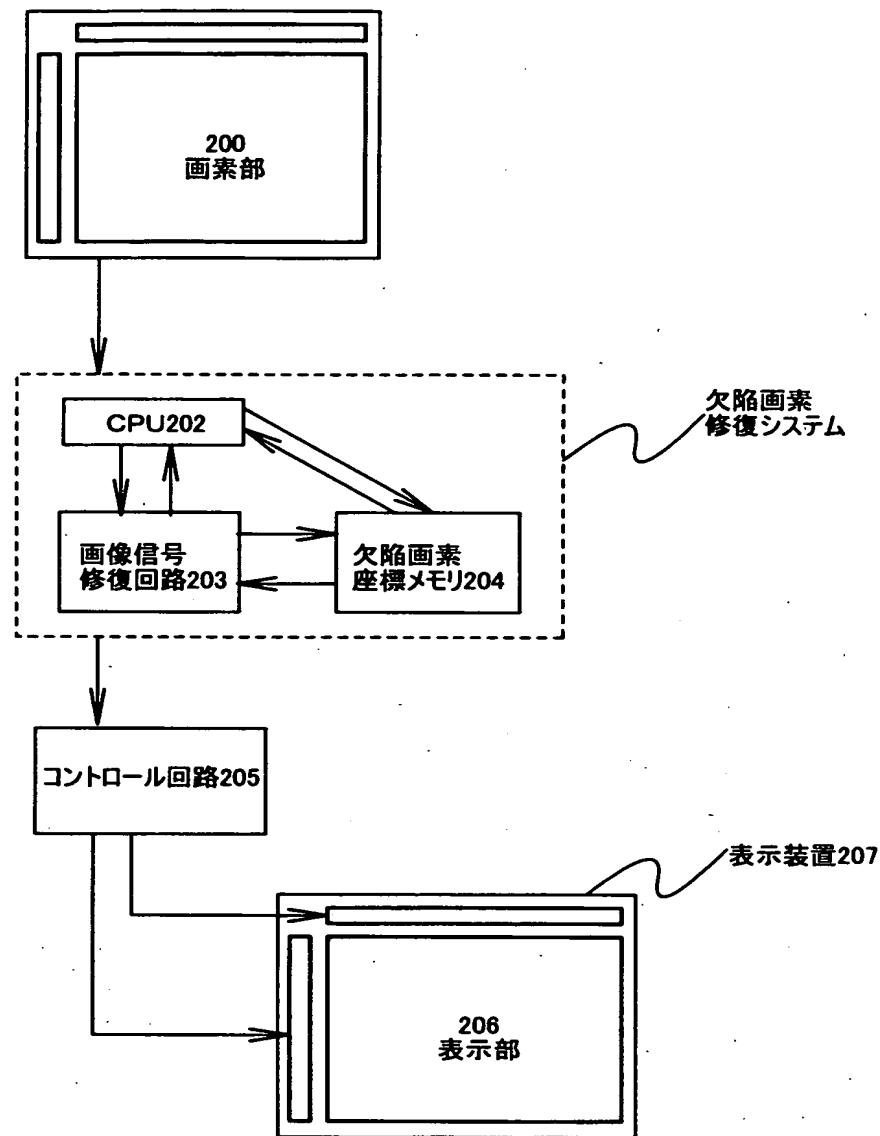


(A)

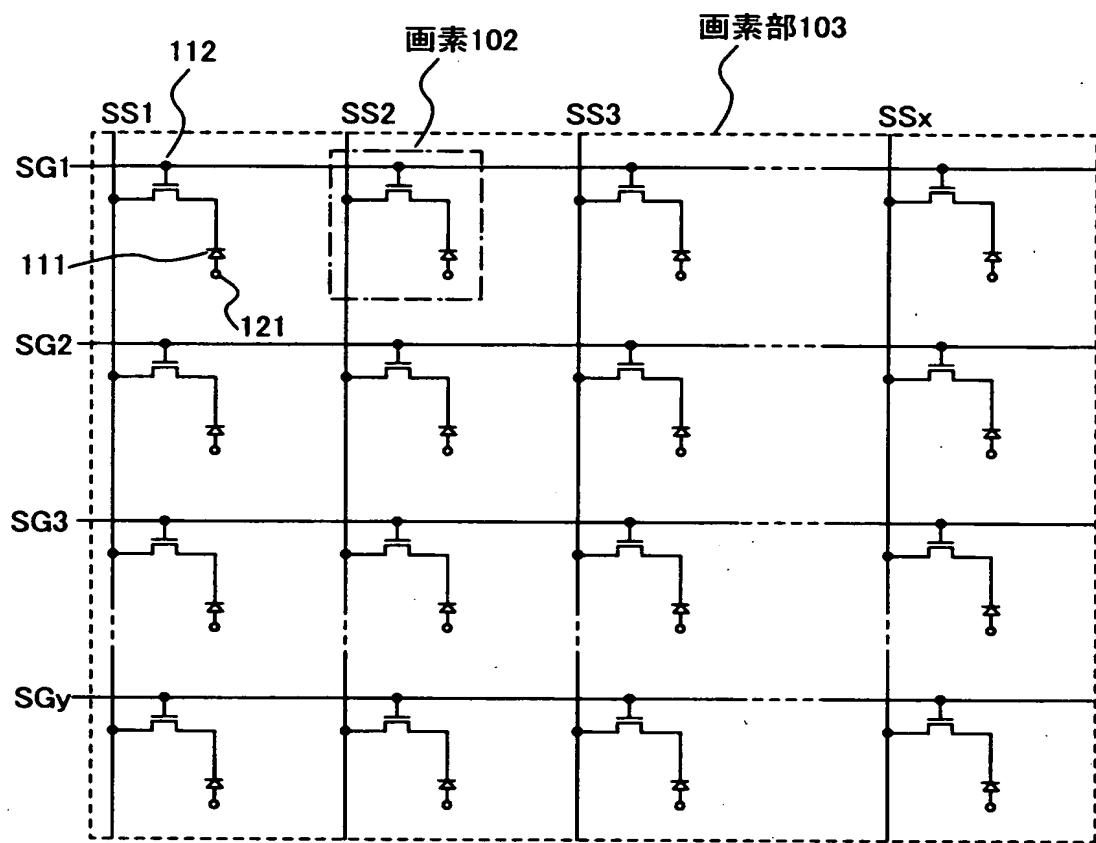


(B)

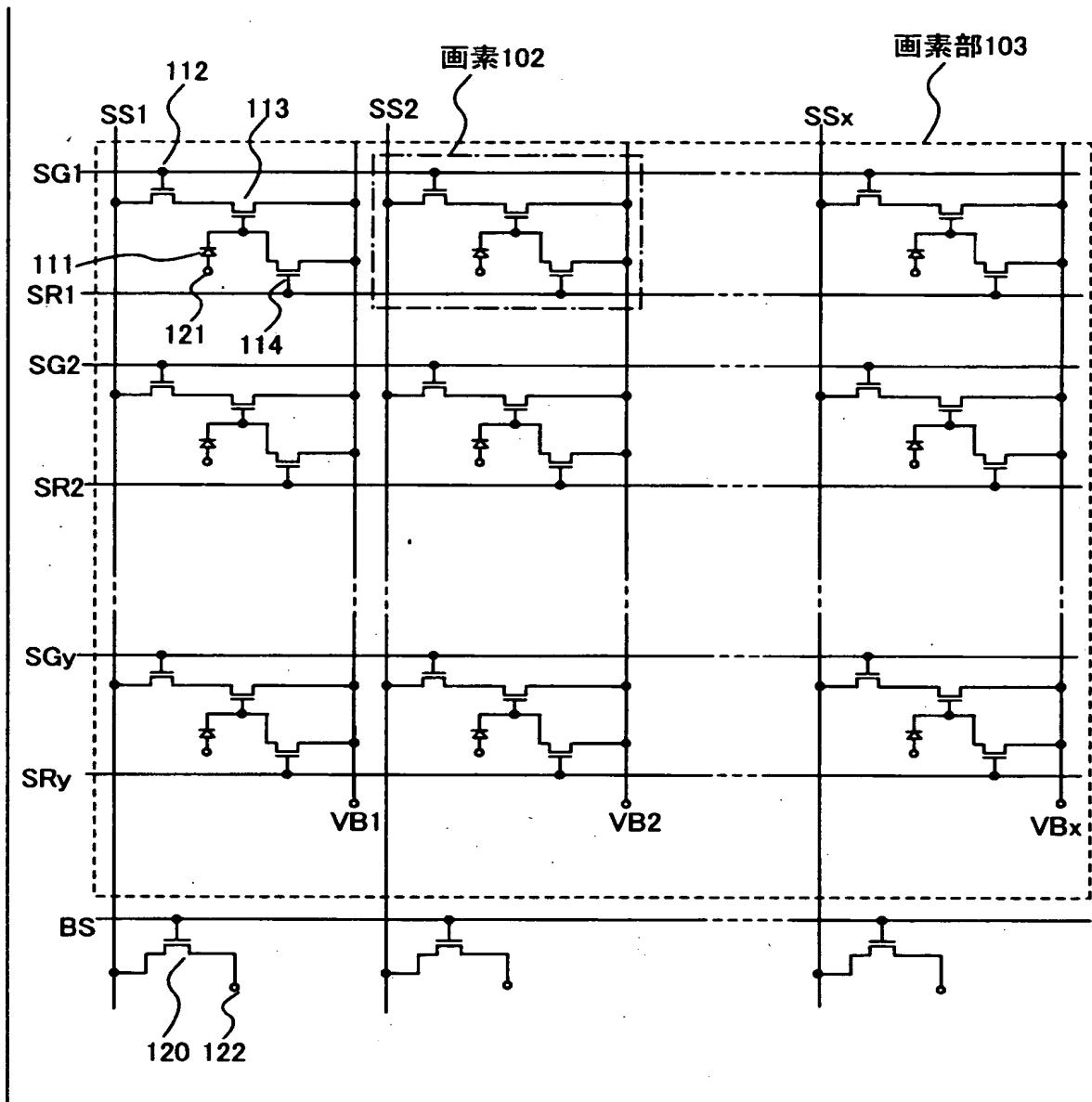
【図4】



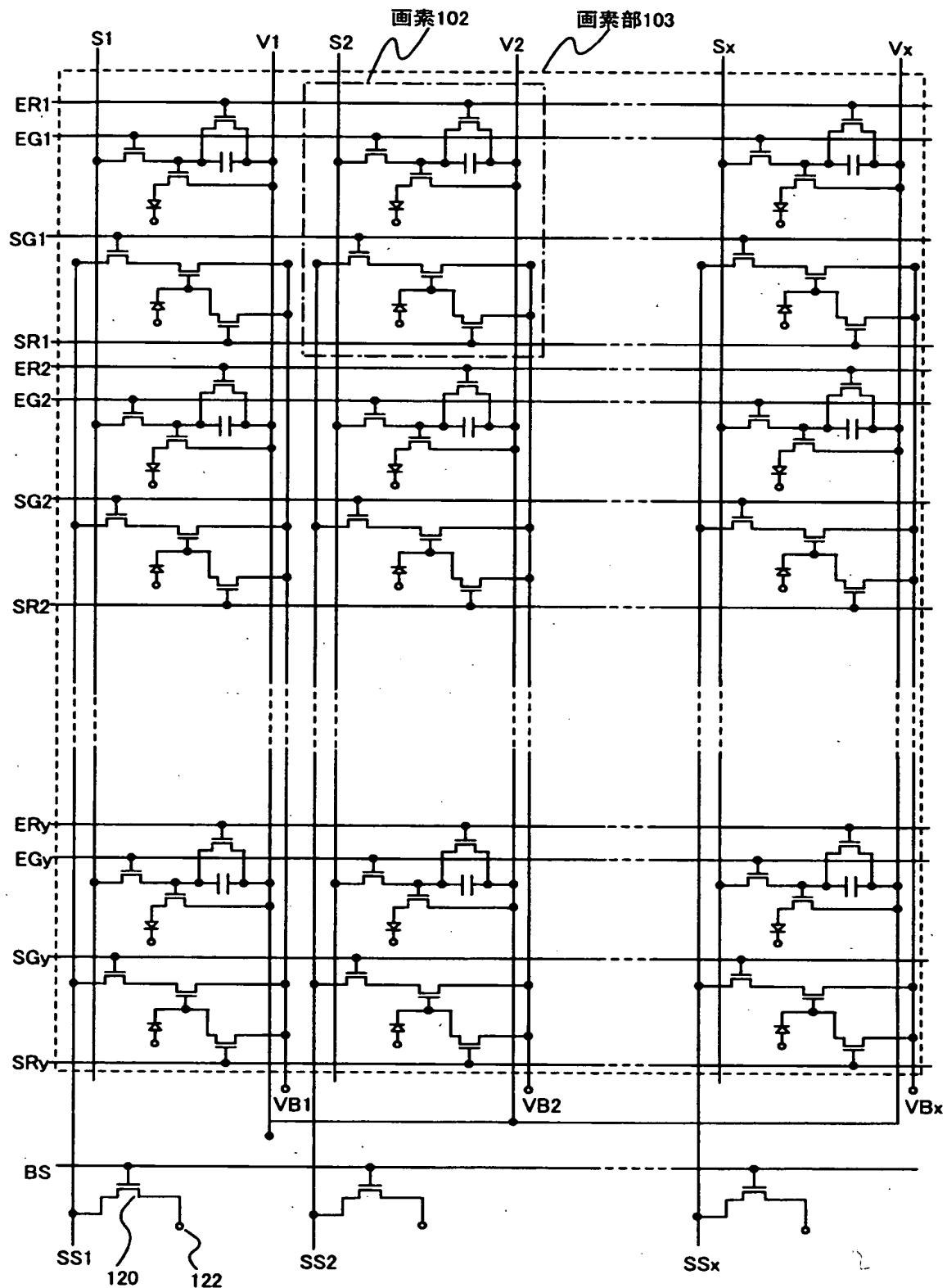
【図5】



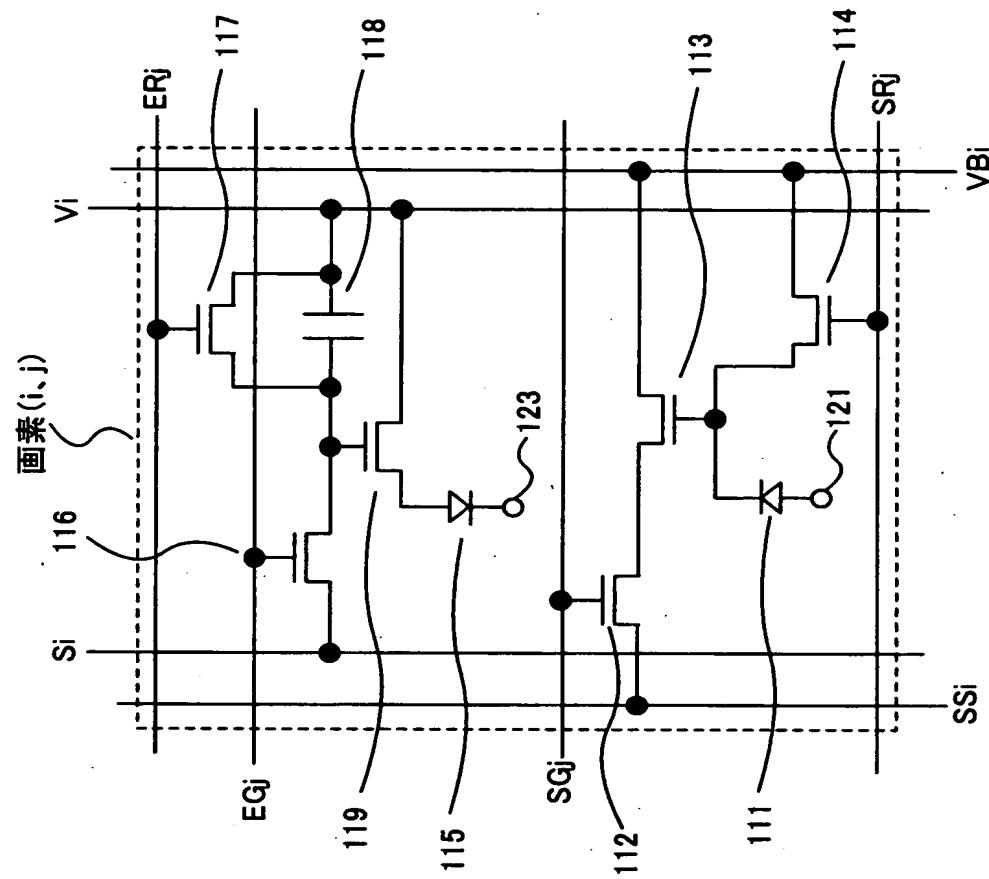
【図6】



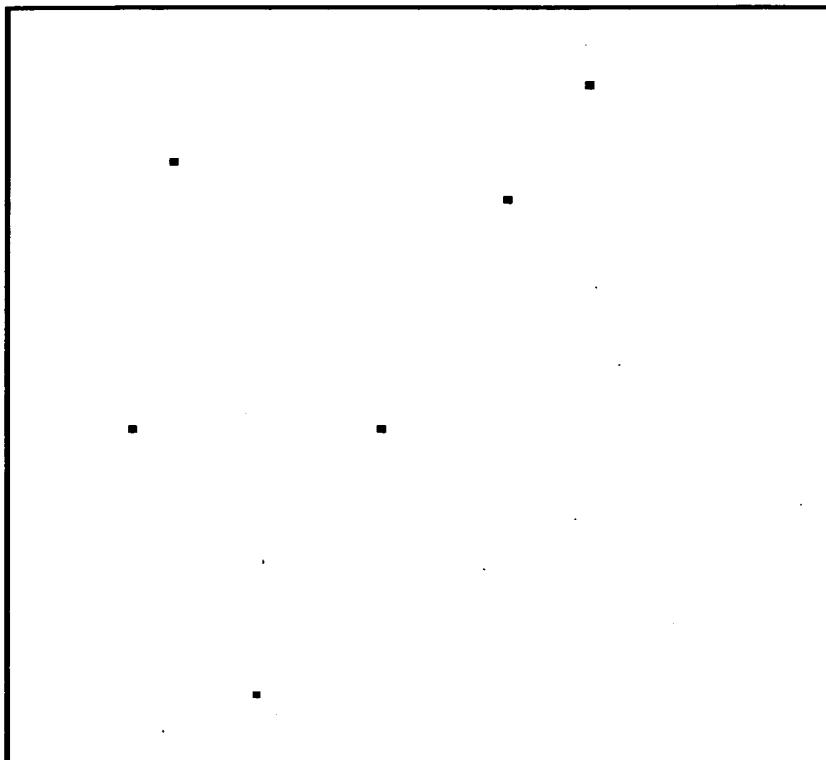
【図7】



【図8】



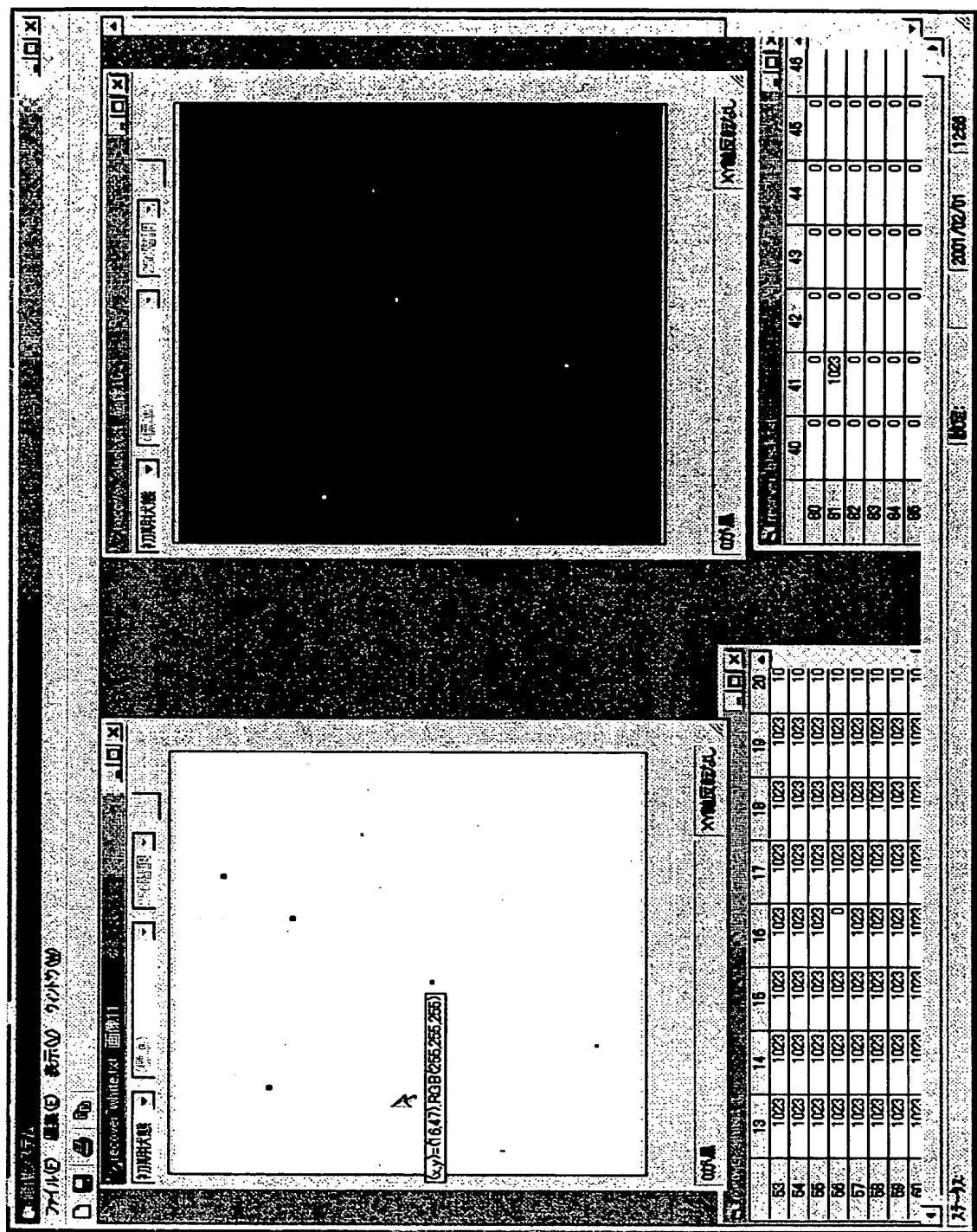
【図9】



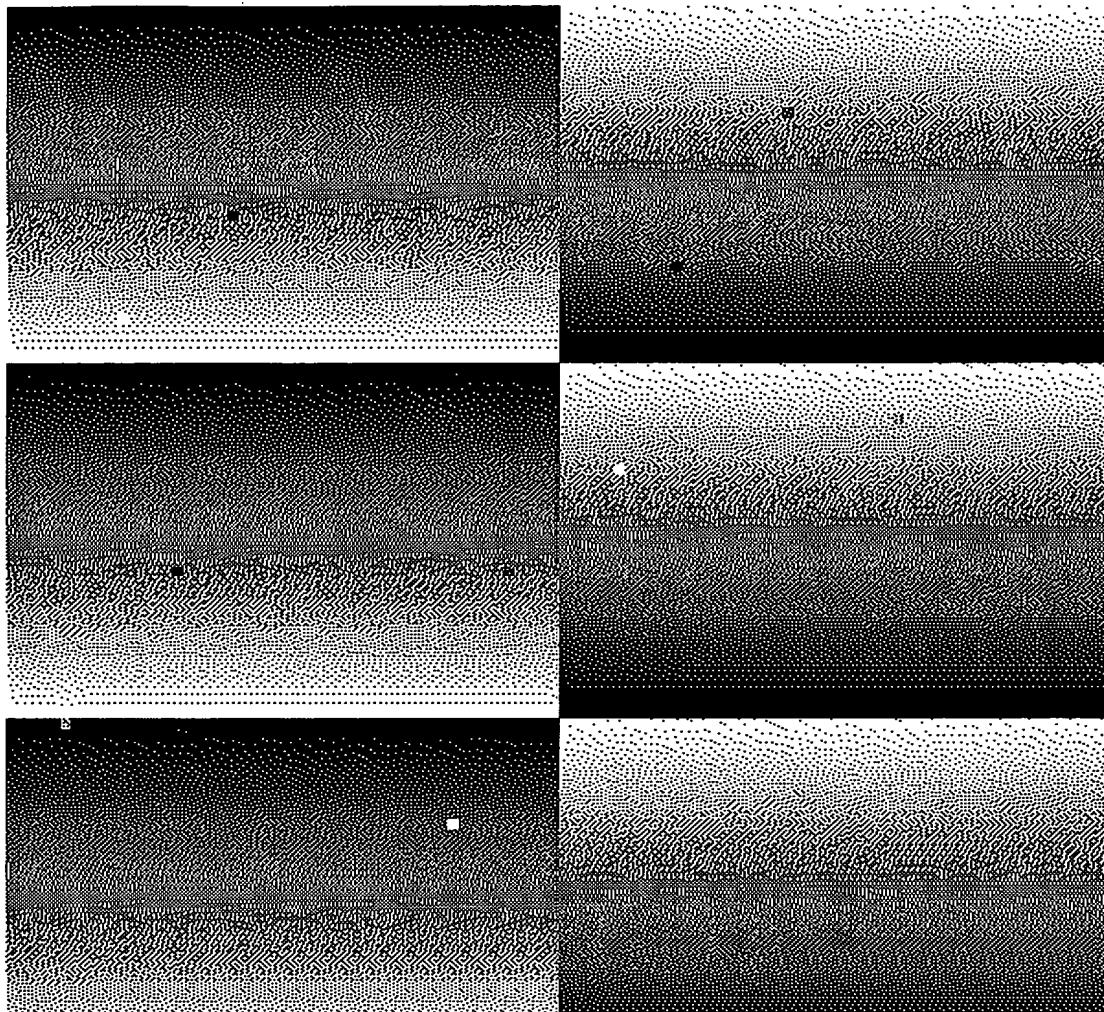
【図10】



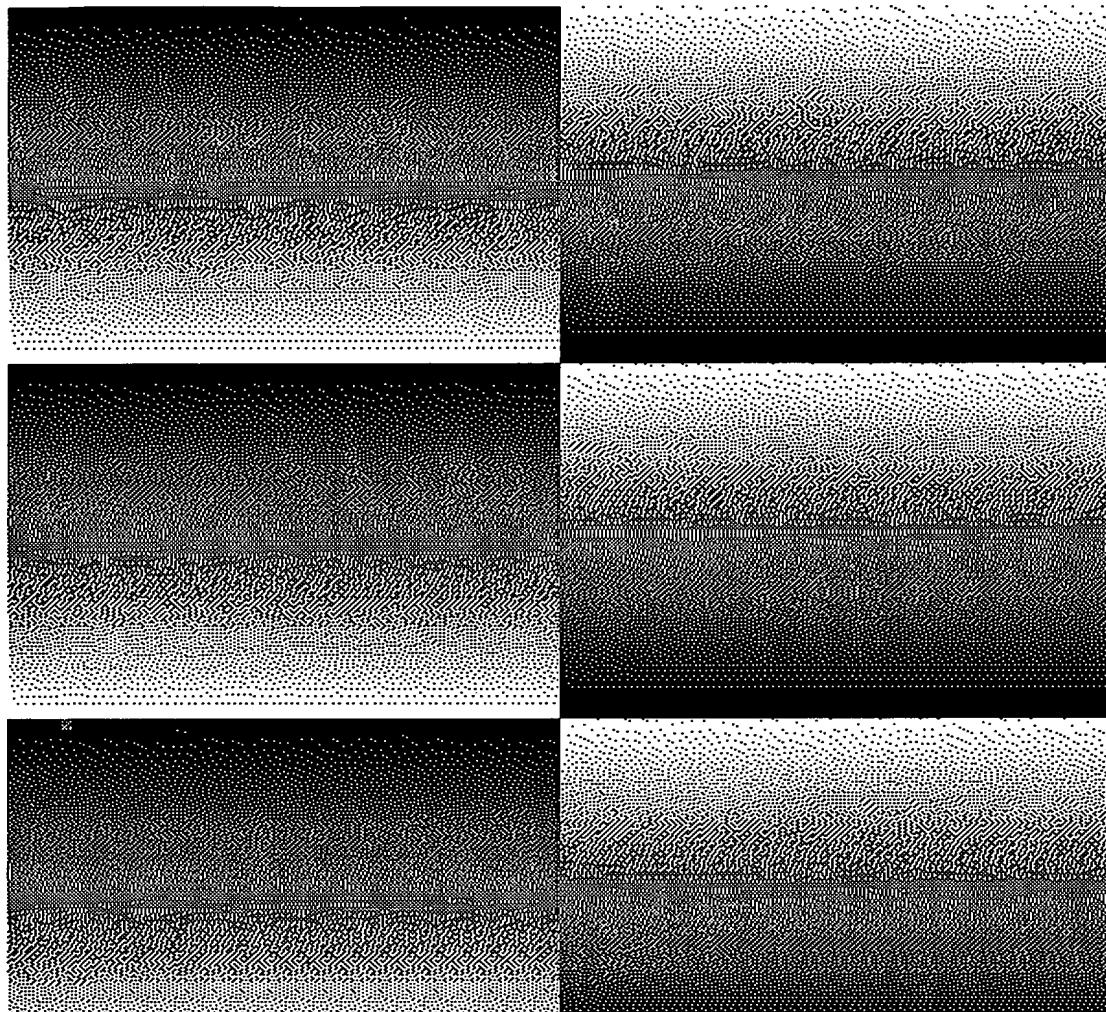
[図11]



【図12】

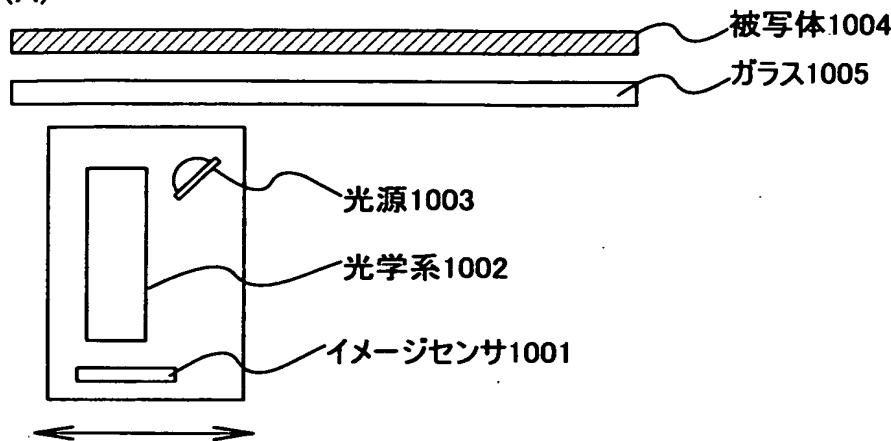


【図13】

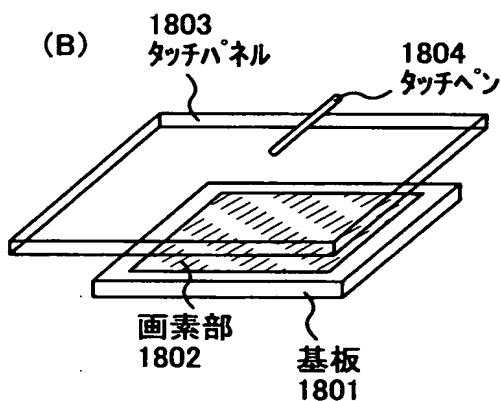


【図14】

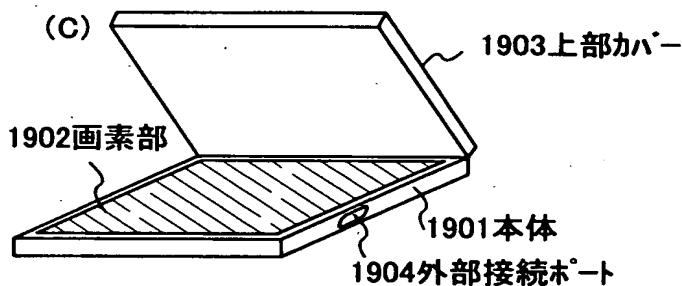
(A)



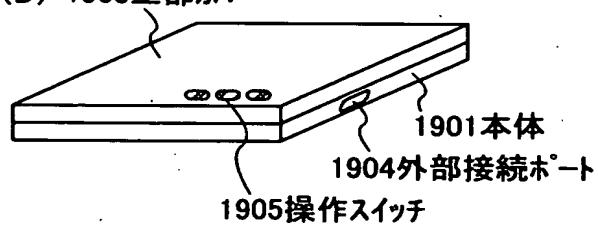
(B)



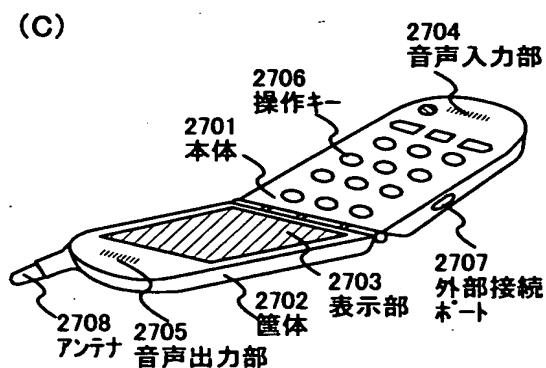
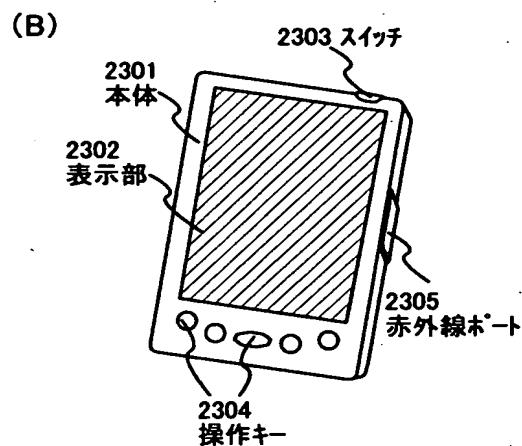
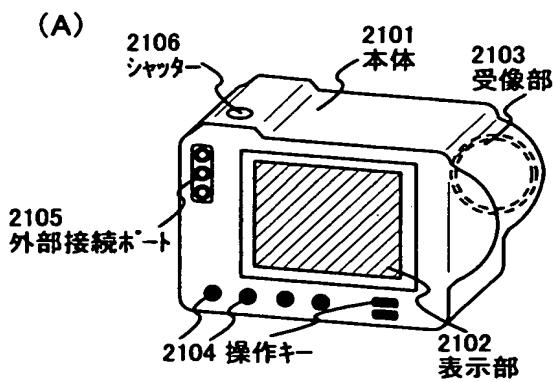
(C)



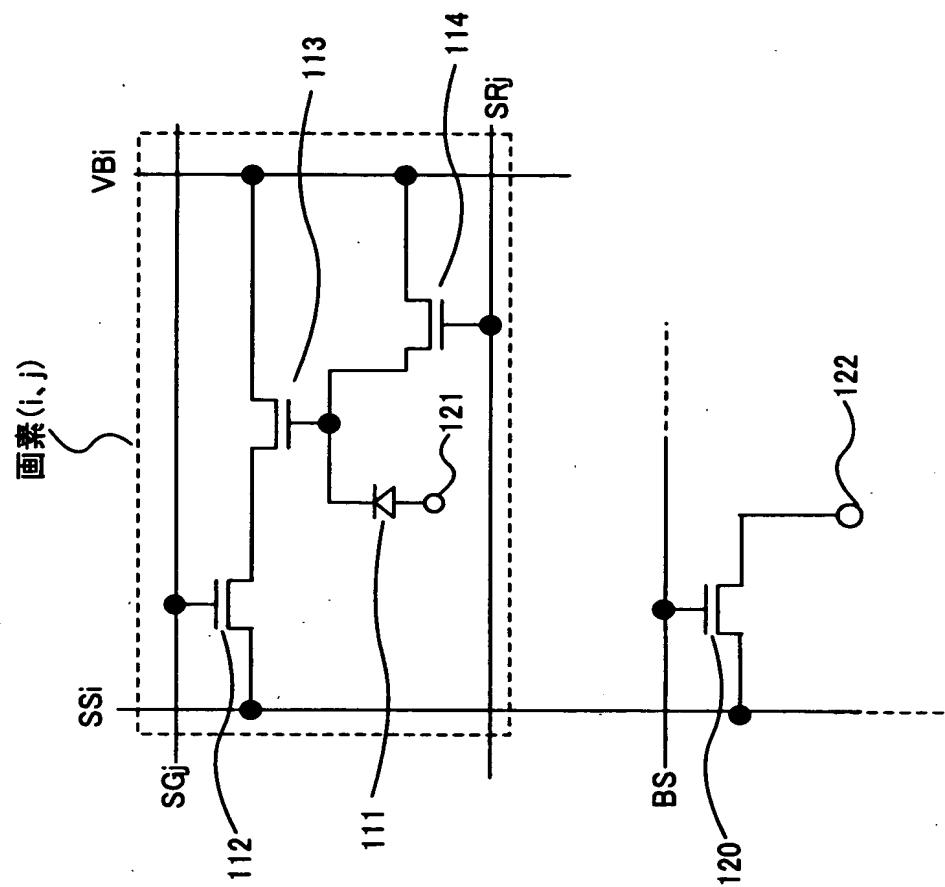
(D)



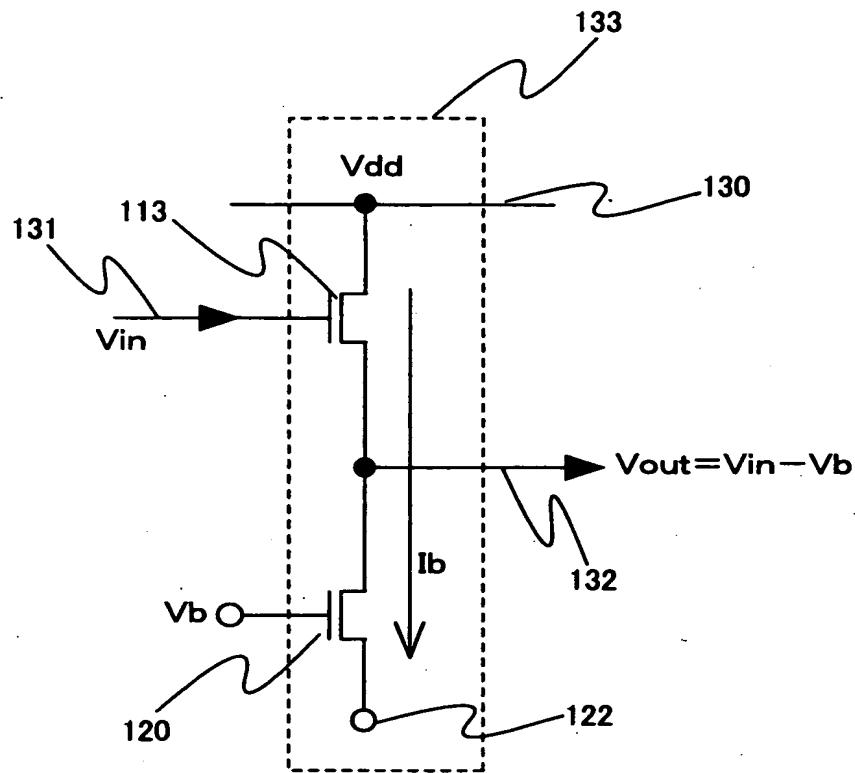
【図15】



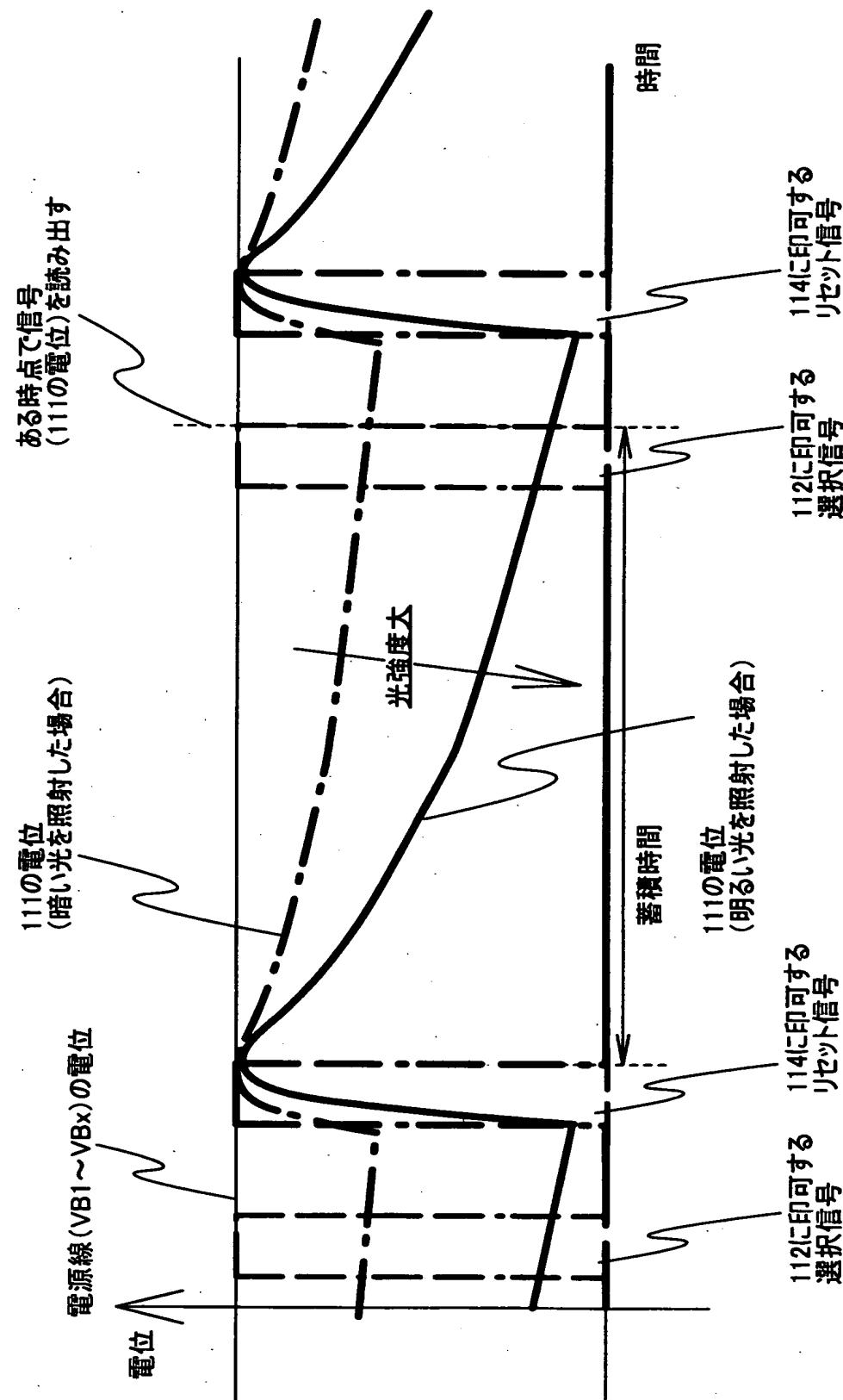
【図16】



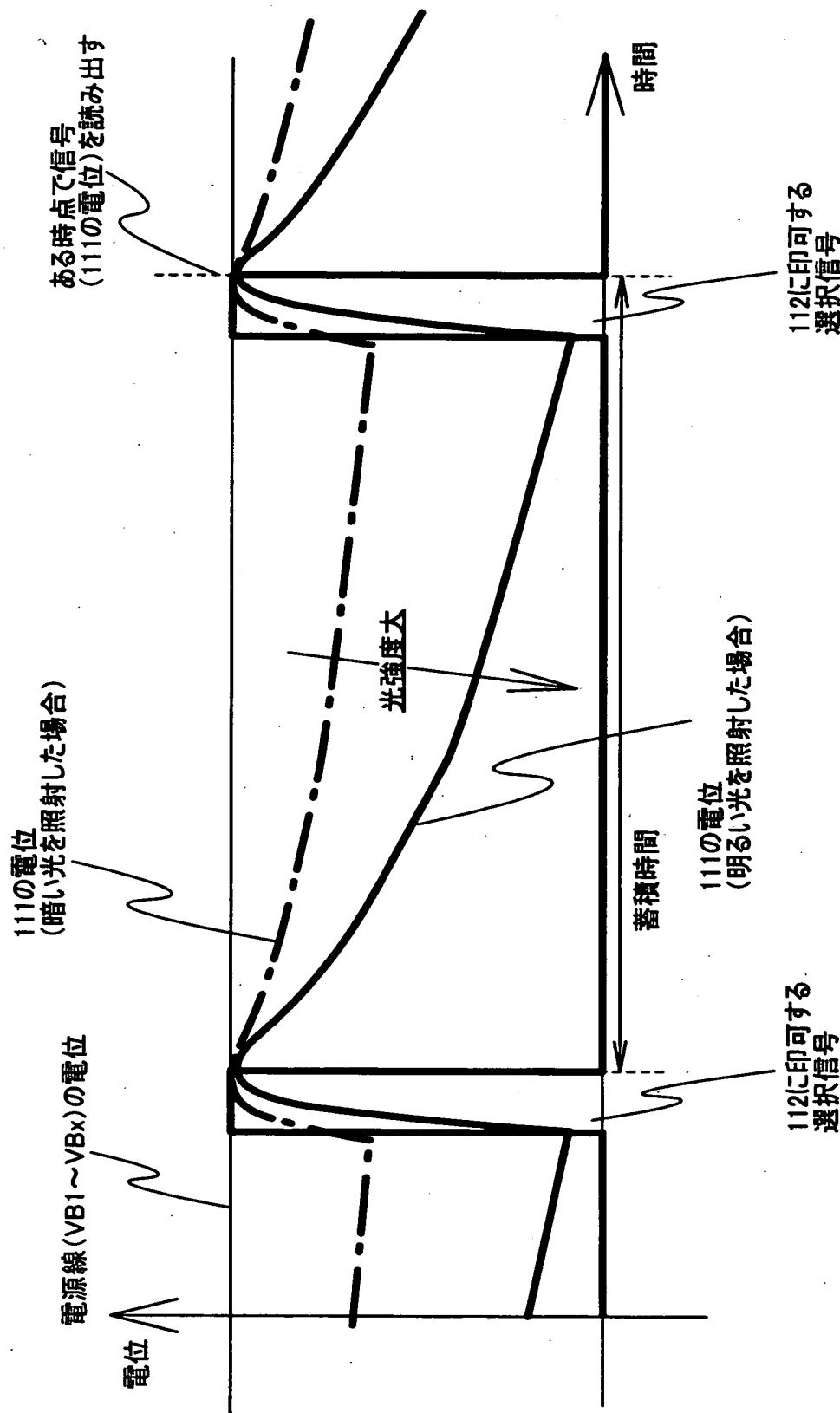
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 イメージセンサ機能を有する半導体装置を用いて被写体を読み取る際、前記半導体装置に欠陥画素があると、欠陥画素の部分の映像が目立ってしまう。

【解決手段】 本発明は、複数の画像を読み取ることにより得た画像信号を用いて画素ごとに欠陥画素の有無を特定し、かつ前記欠陥画素の座標を特定する。そして、欠陥画素と隣接する画素の画像信号を用いて、前記欠陥画素の画像信号を生成し、読み取られた被写体の画像を補正する。

【選択図】 図1

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所